



(51) 国際特許分類6

G09G 5/00, 5/36, G06F 3/153

A1

(11) 国際公開番号

WO98/33167

(43) 国際公開日

1998年7月30日(30.07.98)

(21) 国際出願番号

PCT/JP98/00233

(22) 国際出願日

1998年1月22日(22.01.98)

(30) 優先権データ

特願平9/10592

1997年1月23日(23.01.97)

JP

(71) 出願人 (米国を除くすべての指定国について)

シャープ株式会社(SHARP KABUSHIKI KAISHA)[JP/JP]
〒545 大阪府大阪市阿倍野区長池町22番22号 Osaka, (JP)

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ)

中村 聡(NAKAMURA, Satoshi)[JP/JP]

〒285 千葉県佐倉市六崎193番2号C-105 Chiba, (JP)

山村博幸(YAMAMURA, Hiroyuki)[JP/JP]

〒266 千葉県千葉市緑区鎌取町706番2号F201 Chiba, (JP)

山本真司(YAMAMOTO, Shinzi)[JP/JP]

〒266 千葉県千葉市緑区菅田町2丁目24番7号A108 Chiba, (JP)

守屋政明(MORIYA, Masaaki)[JP/JP]

〒266 千葉県千葉市緑区菅田町2丁目24番7号A107 Chiba, (JP)

(74) 代理人

弁理士 藤本博光, 外(FUJIMOTO, Hiromitsu et al.)

〒100 東京都千代田区永田町二丁目14番2号

山王グランドビルディング3階317区

藤本特許法律事務所 Tokyo, (JP)

(81) 指定国 CN, ID, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類

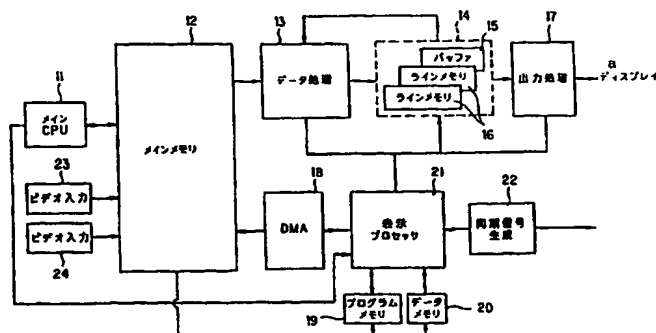
国際調査報告書

(54)Title: PROGRAMMABLE DISPLAY DEVICE

(54)発明の名称 プログラマブル表示装置

(57) Abstract

A programmable display device which is constituted of a main CPU, a main memory which stores programs, displaying data, and other data, a data processing circuit which transforms the format of the displaying data in the main memory into the format of the displaying data of the display device, a display memory section which stores the transformed displaying data, an output processing circuit which performs processing for outputting the displaying data to the screen, a DMA which performs access to the main memory for data, a program memory, a data memory, a display processor which interprets the instructions and data described in the program memory and data memory and mainly performs the transfer, etc., of the displaying data in accordance with the instructions and data, and a synchronizing signal generating circuit.



11 ... main CPU

23, 24 ... video input

12 ... main memory

13 ... data processing circuit

15 ... buffer

16 ... line memory

17 ... output processing circuit

18 ... display

21 ... display processor

22 ... synchronizing signal generating circuit

19 ... program memory

20 ... data memory

(57) 要約

メインCPU、プログラムや表示データやその他のデータを記憶するメインメモリ、メインメモリの表示データをディスプレイ表示のデータ形式に変換する処理を行うデータ処理回路、変換処理された表示データを記憶する表示メモリ部、表示データを画面に出力するための処理を行う出力処理回路、メインメモリへのデータアクセスを行うDMA、プログラムメモリ、データメモリ、プログラムメモリやデータメモリに記述された命令・データを解釈し、それに従っておもに表示データの転送等を行う表示プロセッサ、同期信号生成回路、とから構成される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード (参考情報)

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LV	ラトヴィア	SD	スーダン
AT	オーストリア	GB	英国	MC	モナコ	TD	チャド
AZ	アゼルバイジャン	GE	グルジア	MD	モルドバ	TG	タンザニア
BA	ボスニア・ヘルツェゴビナ	GM	ガナ	MG	マダガスカル	TM	トルクメニスタン
BB	バルバドス	GN	ギニア	ML	マリ	TT	トリニダード・トバゴ
BE	ベルギー	GW	ギニア・ビサウ	MN	モンゴル	UA	ウクライナ
BF	ブルキナ・ファソ	GU	グアム	MR	モロッコ	UG	ウガンダ
BG	ブルガリア	HU	ハンガリー	MW	マラウイ	US	米国
BJ	ベナン	IE	アイルランド	MX	メキシコ	UZ	ウズベキスタン
BR	ブラジル	IL	イスラエル	NE	ニジェール	VN	ベトナム
BY	ベラルーシ	IT	イタリア	NL	オランダ	ZW	ジンバブエ
CA	カナダ	JP	日本	NO	ノルウェー		
CC	中央アフリカ共和国	KE	ケニア	NZ	ニュージーランド		
CG	コンゴ共和国	KG	キルギス	PL	ポーランド		
CH	スイス	KZ	カザフスタン	PT	ポルトガル		
CM	カメルーン	KL	韓国	RU	ロシア		
CN	中国	LC	セント・ルシア	SE	スウェーデン		
CU	キューバ	LI	リヒテンシュタイン	SG	シンガポール		
CY	キプロス	LR	リベリア	SK	スロバキア		
CZ	チェコ	LS	レソト	SL	シエラレオネ		
DE	ドイツ						
DK	デンマーク						
EE	エストニア						

明 細 書

プログラマブル表示装置

技術分野

この発明は映像データを表示するコンピュータ装置におけるプログラマブル表示装置に関し、特にグラフィックディスプレイシステムにおけるメモリからの表示用データの読み出し方が極めて柔軟であり、メモリから表示用データを読み出す際に読み出す画素データの最小単位を画素毎として、動的に定義できるシステムに関する。

背景技術

従来、一般的なコンピュータにおいて、表示データの重ね合わせや合成処理は、単一のフレームメモリ上において、そのメモリ上で直接メインプロセッサあるいは描画装置が演算して合成する。第1図は、従来の画像表示装置の一例を示すブロック図である。この画像表示装置は、メインCPU 101、メインメモリ 102、データ処理回路 103、ラインメモリ 104、出力処理回路 105、システムコントローラ 106、同期信号生成回路 107からなる構成である。

メインメモリ 102には、表示データがいくつか格納されている。例えば、数種類のウィンドウ表示を行う場合を考えると、各ウィンドウに対応した表示データが格納されている。このウィンドウを重ね合わせて一画面に表示させる場合、一画面表示になるように、メインCPU 101が各表示データを選択して読み出し、一画面の表示データを再びメインメモリ 102に格納する。同期信号生成回路 107で発生した同期信号のタイミングに従って、システムコントローラ 106がデータ転送用にメインメモリ 102のアドレスを生成する。このアドレスに従ってメインメモリ 102から表示データを読み出して、あらかじめ決められた

データ処理をデータ処理回路 103で行った後、ラインメモリ 104にデータを転送する。ラインメモリ 104からのデータは同期信号のタイミングにしたがって出力され、出力処理回路 105により表示用の処理を行ってディスプレイに表示する。

また、特開平 6-149527号公報に開示されているように、重ねあわせに必要な枚数分フレームメモリを用意して、映像出力時に全部のフレームメモリからデータを読み出し各フレーム間の優先順位を元に合成結果を表示するシステムがある。

また、特開平 6-295169号公報に開示されているように、表示用のメモリとは別に表示領域のメモリの各表示ドット毎に識別メモリを設けることで各表示ドットが今どのようなモード（例えば 1画素のビット数）にあるかを識別し、そのモードに合わせて表示し、1つの画面上で異なる表示モードを表示するシステムがある。

また、前記特許にもあるように識別メモリの内容を参照したり、特開平 7-334342号公報に開示するように別途マスクメモリを利用し、表示している各ウィンドウ内の情報を変更して書き換える場合にその領域外をマスクするシステムがある。

しかしながら従来のようにメインCPU 101が、各ウィンドウの重ね合わせ等の処理を行う場合には、メインCPU 101の負担が過大となり、他の処理を行うことができずに全体の処理速度が遅くなるなどの問題があった。

また、各ウィンドウの重ねあわせをするのに必要な枚数分のフレームメモリを持つことで、ソフトウェアの処理負荷を軽減する方法では、始めからそのシステムで必要と思われる最大枚数分のフレームメモリが必要である。つまり、画面上に表示するウィンドウのサイズに関係なく表示エリアの最大サイズでフレームメモリを必要とする。そのため、メモリの利用効率が極めて悪くなる上に、多数のウィンドウを同時に開いた場合、そのウィンドウに対応する全てのフレームメモ

りから同時にデータを読み出す必要がある。すなわち、ウィンドウが重なっており実際は表示されないような部分のデータも読み出す必要がある。こうして、画面上に開くウィンドウの枚数に比例して消費電力が大きくなってしまう。

また、従来の様に1つの画面上で異なる表示モードを混在表示する方法として表示領域のメモリの各表示ドット毎に識別メモリを設けることで各表示ドットが今どのようなモードにあるかを識別する方法がある。その方法では、フルスクリーン分のメモリに対して別途数ビットの識別メモリが必要となるため、別の用途に転用することのできないメモリ（識別メモリ）が余分に必要となる。このことは、マスクメモリを利用する場合にも同様なことが言える。

本発明の目的は、表示データを収納するメモリ空間を必要なものだけとし、表示のためのメモリアクセス回数を押さえて処理を高速化できるとともに、主制御部の負担を軽減することができるプログラマブル表示装置を提供することである。

発明の開示

本発明は、上記目的を達成するためなされたものであって、その要旨とするところは次のとおりである。

まず本発明の第1の要旨は、表示データが格納されているメインメモリと、

前記表示データのデータ形式を画面表示のデータ形式に変換するデータ処理回路部と、

前記データ処理回路部に変換された表示データを表示ライン単位に格納する複数のラインメモリと、

前記メインメモリから前記ラインメモリに表示データを転送格納させて、該ラインメモリから必要な表示データを読み出して画面表示させる制御を行う表示制御部と、

前記メインメモリに前記表示データを格納させ、データ形式及び格納アドレスを含む格納情報を前記表示制御部に転送する主制御部と、

を備え、

前記表示制御部は、転送元の前記メインメモリに対し前記格納情報に基づいて、画面表示させる可能性のある 1 ライン分の表示データのアドレスを指定して該表示データを読み出し、前記データ処理回路部にデータ変換をさせて、前記ラインメモリを選択し該表示データを格納させることを特徴とするプログラマブル表示装置にある。

次に、本発明の第 2 の要旨は、前記表示制御部は、前記ラインメモリに繰り返し利用する表示データを格納し、該繰り返し表示データを表示させる場合には、前記ラインメモリから前記繰り返し表示データのアドレスを指定して読み出し、画面表示させることを特徴とする前記要旨 1 記載のプログラマブル表示装置にある。

また、本発明の第 3 の要旨は、繰り返し利用する表示データを格納するデータバッファメモリを備え、

前記表示制御部は、前記データを画面表示させる場合、前記データバッファメモリから前記繰り返し表示データを読み出し、画面表示させることを特徴とする前記要旨 1 記載のプログラマブル表示装置にある。

次に本発明の第 4 の要旨は、前記メインメモリから読み出した表示データを格納する第 1 バッファメモリと、

前記第 1 バッファメモリから読み出した表示データを格納する第 2 バッファメモリと、

前記第 1 及び第 2 バッファメモリの読み出し及び書き込みアドレスをカウントするアドレスカウンタと、

を備え、

前記表示制御部は、前記アドレスカウンタに対し読み出し及び書き込みアドレスカウントをそれぞれ停止／動作の制御を行い、拡大・縮小・スキップの処理を行って、そのデータを前記ラインメモリに格納することを特徴とする前記要旨 1

記載のプログラマブル表示装置にある。

また、本発明の第5の要旨は、前記表示制御部は、第1バッファメモリからの読み出しアドレスカウンタを所定の順に停止／動作を繰り返させることを特徴とする前記要旨4記載のプログラマブル表示装置にある。

さらに、本発明の第6の要旨は、前記データ処理回路部は、各種のデータ形式を変換する複数の変換処理回路を有し、

前記表示制御部は、前記格納情報のデータ形式情報に基づいて前記変換処理回路を選択することを特徴とする前記要旨1記載のプログラマブル表示装置にある。

次に、本発明の第7の要旨は、前記表示制御部に必要なプログラムとデータを格納するプログラムメモリとデータメモリとを備えたことを特徴とする前記要旨1記載のプログラマブル表示装置にある。

また、本発明の第8の要旨は、前記表示制御部は、前記プログラムメモリと前記データメモリに必要な情報を前記メインメモリから転送させることを特徴とする前記要旨7記載のプログラマブル表示装置にある。

さらに、本発明の第9の要旨は前記表示制御部は、前記ラインメモリに表示データを格納する際に何ライン目で使用するデータであるかを示すライン情報を付加し、前記ラインメモリから表示データを読み出す際にライン情報も同時に読み出して、該表示データを使用するラインがライン情報と同一である場合のみ画面表示させることを特徴とする前記要旨1記載のプログラマブル表示装置にある。

上記要旨1の発明において、表示をする際に必要な部分の表示データをメインメモリ内から取り出して使用する。そのため、メインメモリ内の任意の位置のデータを取り出して任意に組み合わせることが可能である。この制御はすべて表示制御部が行い、主制御部が処理を行う必要がなく、主制御部のソフトウェアにおける処理負荷を低減できる。

要旨2の発明において、ウインドウシステムにおける背景等のように、ライン方向に対して繰り返すようなデータであった場合、読み出しラインメモリアドレ

スを任意の位置でループできる。

要旨 3 の発明において、カーソルや繰り返し背景などをデータバッファメモリに収納しておけるため、決まりきったデータをメインメモリから読み出す必要が無い。データバスの使用回数を減らすことができる。

要旨 4 の発明において、表示データを読み出す際に拡大縮小処理をするため、表示用データに対する拡大縮小処理を事前にする必要が無く、バスの使用効率を上げられる。また、ビデオ入力映像を表示する場合に映像サイズの変更が必要となるのが常であるが、出力段に拡大縮小処理を掛けることで拡大縮小回路がより有効に利用できる。また、この事によりビデオデータを常にフルサイズで取り込みながら、そのデータを一旦フレームメモリなどに転送することなく表示は任意のサイズに設定できる。

要旨 5 の発明において、第 1 バッファメモリからの読みだしアドレスカウンタを所定の順に停止／動作を繰り返すことにより、一定倍率の拡大・縮小が簡単な処理で行うことができる。

要旨 6 の発明において、表示制御部は、格納情報のデータ形式情報に基づいてデータ変換ができるので、表示用データを収納する形式などに制限が無い。

要旨 7 の発明において、前記表示制御部に必要なプログラムとデータを格納するプログラムメモリとデータメモリとを備えるので、処理の度にメインメモリからデータを読み出す必要がない。

要旨 8 の発明において、前記表示制御部は、前記プログラムメモリとデータメモリに必要な情報をメインメモリから転送させるため、画面モードあるいはグラフィック領域の変更に柔軟に対応できる。容量を越えたプログラムあるいはデータは、メインメモリから読み出せばよいので、メモリの容量は小さくて済む。

要旨 9 の発明において、各ラインの表示毎にラインメモリ内のデータを消去する必要がなく、垂直帰線期間毎にすべてのラインメモリの使用ライン情報を消去するだけでよいので処理の高速化を図れる。

図面の簡単な説明

第 1 図は従来の画像表示装置の一例を示すブロック図である。

第 2 図は本発明に係る画面表示装置の一実施形態を示すブロック図である。

第 3 図はこの画面表示装置のデータ処理回路と表示メモリ部を示すブロック図である。

第 4 図はこの画面表示装置の表示プロセッサを示すブロック図である。

第 5 A 図～第 5 C 図は、メインメモリの表示データとディスプレイの表示出力を示す説明図である。

第 6 図はベタスクリーンデータを 1 画面分表示するフローチャートである。

第 7 図はベタスクリーンの表示画面例である。

第 8 図はベタスクリーンデータが格納されているメインメモリのメモリマップである。

第 9 図は各種表示データが格納されているメインメモリのメモリマップである。

第 10 図は複数のウィンドウを合成表示するフローチャートである。

第 11 図は α ブレンディングなしの通常ライン転送のフローチャートである。

第 12 A 図は α ブレンディングなしの表示画面例、第 12 B 図はライン番号 L におけるラインメモリのメモリマップである。

第 13 図は α ブレンディングを含んだライン転送のフローチャートである。

第 14 A 図は α ブレンディングの表示画面例、第 14 B 図はライン番号 L における通常ラインメモリと α ブレンディング用ラインメモリのメモリマップである。

第 15 図はコントロールデータの動作内容を示す説明図である。

第 16 図は拡大・縮小・スキップを行わない等倍のときの転送用バッファメモリ間の転送動作の説明図である。

第 17 図は転送用バッファメモリの縮小動作を示す説明図である。

第 18 図は転送用バッファメモリの拡大動作を示す説明図である。

第 19 図は転送用バッファメモリのスキップ動作を示す説明図である。

第 2 0 図は拡大・縮小・スキップの混在した転送用バッファメモリの動作を示す説明図である。

第 2 1 図は拡大・縮小・スキップの混在した転送用バッファメモリの他の動作を示す説明図である。

第 2 2 図は拡大・縮小・スキップの混在した転送用バッファメモリの更に他の動作を示す説明図である。

第 2 3 図は転送用バッファメモリの一定倍率の縮小動作を示す説明図である。

第 2 4 図は転送用バッファメモリの一定倍率の拡大動作を示す説明図である。

第 2 5 図は使用ライン情報を格納する表示メモリ部を示すブロック図である。

第 2 6 A 図は表示画面例、第 2 6 B 図は使用ライン情報が N の場合のラインメモリのメモリマップと出力データ、第 2 6 C 図は使用ライン情報が N + 2 の場合のラインメモリのメモリマップと出力データ、第 2 6 D 図は使用ライン情報が N + 4 の場合のラインメモリのメモリマップと出力データである。

第 2 7 図は背景を繰り返し利用する場合の動作説明図である。

発明を実施するための最良の形態

以下に、本発明の実施形態について図面を用いて説明する。

第 2 図は、本発明に係るプログラマブル表示装置の一実施形態を示すブロック図である。この表示装置は、メイン CPU 11、プログラムや表示データやその他のデータを記憶するメインメモリ 12、メインメモリ 12 の表示データをディスプレイ表示のデータ形式に変換する処理を行うデータ処理回路 13、変換処理された表示データを記憶する表示メモリ部 14、表示データを画面に出力するための処理を行う出力処理回路 17、メインメモリ 12 へのデータアクセスを行う DMA (Direct Memory Access) 18、プログラムメモリ 19、データメモリ 20、プログラムメモリ 19 やデータメモリ 20 に記述された命令・データを解釈し、それに従っておもに表示データの転送等を行う表示プロセッサ 21、同期

信号生成回路 22、ビデオ入力 23、24 とから構成される。

データ処理回路 13 は、第 3 図に示すように表示プロセッサ 19 より送られてきた表示データに対して YUV → RGB 変換を行う YUV デコーダ 27a、同表示データに対してランレングス展開を行うランレングス展開回路 27b、同表示データに対してカラーデータの伸長を行うカラー伸長回路 27c、同表示データに対してパレット変換を行う複数のカラーパレット 27d、27e の複数の処理回路と、セレクト 28 とからなる。表示メモリ部 14 は、第 3 図に示すように、カーソルのパターンデータなどの格納に使用できるデータバッファ 15 と、データ表示データおよび使用ライン情報を記憶する複数のラインメモリ 16 とからなる。出力処理回路 17 は、複数のラインメモリ 16 より任意のラインメモリを選択するセレクト、 α ブレンディングを実現するため表示データの明るさを変化させるアッテネータおよびその出力を加算する加算器、繰り返し背景データやカーソルなどの合成に使用されるセレクト、ディスプレイに表示するため D/A 変換を行う D/A コンバータ等からなる。表示プロセッサ 21 は、第 4 図に示すように、転送用バッファメモリ 25a、25b、26a、26b を有する。

この表示装置は、専用のフレームバッファを持たず、メインメモリ 12 に表示データを同居させる UMA (Unified Memory Architecture) 構成を取り入れるが、メインメモリ 12 に専用のフレームバッファを持つ構成になってもかまわない。

以下、この実施形態の動作を説明する。

まず、表示データが実際に表示されるまでのおおまかな流れを以下に説明する。

メイン CPU 11 により表示データは主にメインメモリ 12 に格納されている。これらの表示データは、DMA 18 によって読み出され、第 4 図に示す表示プロセッサ 21 内部の転送用バッファメモリ 25a、25b に一時的に格納される。そこで拡大・縮小・スキップなどの操作をされて転送用バッファメモリ 26a、26b に格納されたのち、データ処理回路 13 により単純な RGB 形式のデータ

に変換され、ラインメモリ 16 に格納される。ラインメモリ 16 に書き込まれたデータは、同期信号生成回路 22 が発生する同期信号のドットクロックに合わせて 1 画素分ずつ読み出される。出力処理回路 17 によって 2 画面の α ブレンディング処理、又は繰り返し背景データやカーソルなどと合成され、D/A 変換されて同期信号などと共にディスプレイに出力されて表示される。以上が表示までのおおまかな流れである。

この表示装置において、表示のかなりの部分の制御は表示プロセッサ 21 によって行われる。表示プロセッサ 21 は専用のプログラムメモリ 19 およびデータメモリ 20 を持っており、それに格納されているプログラムおよびデータを解釈して、それに従って表示データの転送等を行う。プログラムメモリ 19 およびデータメモリ 20 の情報は、必要に応じてメインメモリ 12 から転送されてくる。メインメモリ 12 には表示構成、グラフィック領域の変更などに応じて複数のプログラム／データを格納しておく。

メインメモリ 12 からの表示データの転送命令は、メイン CPU 11 から直接表示プロセッサ 21 に対し発行する場合と、表示プロセッサ 21 自身が発行する場合がある。転送命令をメイン CPU 11 が発行するのは、主に表示モード（1 画素の情報を示すビット数）が変更になった場合であり、表示プロセッサ 21 自身が発行するのは、主に 1 画面を構成するために必要なプログラム／データが表示プロセッサの RAM 容量より大きい場合である。このとき表示の途中でプログラム／データを入れ換える。

このような構成にすることで、必要に応じて情報を転送すればよいとため、画面モードあるいはグラフィック領域の変更に柔軟に対応できる。かつメモリ容量を越えたプログラムあるいはデータを実行可能とする。こうして表示プロセッサの RAM は小容量で済む。コンパクトあるいは低コストでシステムを構築できる。

また表示プロセッサ 21 の動作が決まっていて変更が必要ない場合は、プログラムメモリ 19 またはデータメモリ 20 は ROM でもかまわない。この場合は、

メインメモリ 12 から転送するには及ばない。ROM は同容量の RAM に比べてチップ面積が小さくて済むため、コスト面で有利になる。

次に、表示プロセッサ 21 にプログラムを与えて画面表示を行うときの、表示プロセッサ 21 の基本動作について説明する。第 5 A 図～第 5 C 図は、メインメモリ 12 の表示データとディスプレイの表示出力を示す説明図である。いずれもあらかじめメインメモリ 12 上に格納してある表示データをラインメモリ 16 に格納するものである。ベタスクリーンを表示する場合と複数のウィンドウ等を合成して表示する場合について説明する。

ベタスクリーンとは、第 5 A 図に示すようにメイン CPU 11 により、背景、カーソル、ウィンドウ等を、合成されたベタスクリーンデータとして、あらかじめメインメモリ 12 上に格納しておく。表示するには格納されている先頭アドレスから順に読み出してラインメモリ 16 に転送していけばよい。

複数ウィンドウ等の合成には、 α ブレンディングを考慮しない場合（第 5 B 図参照）と、考慮する場合（第 5 C 図参照）の 2 つの場合がある。 α ブレンディングとは半透明合成のことで、例えば 2 つのウィンドウが重なる場合、通常ならば重なった部分は手前のウィンドウだけが表示されるが、 α ブレンディングの指定をすると手前のウィンドウが透けて、奥のウィンドウが見えるようになる。言い換えると、 α ブレンディングとは、このように複数の表示データをある割合で合成して表示する機能のことを言う。一方、表示プロセッサ 21 の動作には実際には拡大・縮小・スキップの操作やデータ処理回路 13 や使用ライン情報などの制御が関わってくるが、それらの動作については後述する。

次に、これら画面表示を行う場合の表示装置の動作について説明する。第 6 図は、ベタスクリーンデータを 1 画面分表示するフローチャートである。第 7 図はそのときの表示画面例であり、第 8 図はベタスクリーンデータが格納されているメインメモリ 12 のメモリマップである。まず、1 画面を表示するために、ステップ A1 において、ベタスクリーンデータの X 方向の座標サイズ $x1$ 、ベタスク

リーンデータのY方向の座標サイズ y_1 を取得する。

次に、ステップA 2にて、メインメモリ 1 2 上のベタスクリーンデータ格納先頭アドレス β_addr をライン番号 L に相当するベタスクリーン格納先頭アドレス $addr$ として取得する。これらのデータは、固定データであればプログラム内で固定されたイミディエイトデータとして取得することもできる。また、任意のサイズであればメインメモリ 1 2 上に存在するこれらのデータをデータメモリ 2 0 に転送し、データメモリ 2 0 を参照することによっても取得することが可能である。ステップA 3にて、現在表示中の水平ライン番号の次の水平ライン番号をライン番号 L として取得し、この値が偶数か奇数かをステップA 4にて判別する。偶数であれば、ステップA 5にてラインメモリ 1 6 a へ、奇数であれば、ステップA 6にてラインメモリ 1 6 b へ、メインメモリ 1 2 のライン番号 L に相当するベタスクリーンデータ格納先頭アドレス $addr$ から x_1 サイズのデータ転送を行う。

偶数と奇数のライン番号によりラインメモリ 1 6 a とラインメモリ 1 6 b への書き込みを切り替えているのは、ラインメモリが表示側でアクセスされているとき、表示プロセッサ 2 1 からはアクセスできないためである。表示に使用されているラインメモリとは別のラインメモリを設けることにより、表示中であっても表示プロセッサ 1 2 がラインメモリへアクセスできるようにしている。

ラインメモリ 1 6 a またはラインメモリ 1 6 b へのデータ転送後、ステップA 7にて、ベタスクリーンY方向の座標サイズ y_1 と、次に表示するライン番号 L とを比較する。 $(L + 1)$ の値が y_1 よりも小さいときは、ステップA 8にてライン番号 L に相当するベタスクリーンデータ格納先頭アドレス $addr$ をベタスクリーンX方向の座標サイズ x_1 だけ加算して次のライン番号に相当するベタスクリーン格納先頭アドレス $addr$ を取得する。同期用ウェイト（ステップA 9）は、現在表示に使用されているラインメモリ 1 6 a またはラインメモリ 1 6 b がまだ使用中であるかどうか、つまり次の水平表示の始まりまで待ってからライン

メモリへの書き込みを行うことで、ラインメモリへの2重書き込みを制御している。上記に説明したラインメモリ16aまたはラインメモリ16bへの転送をy1回行うことで1画素分の表示を行うことが可能となる。

次に複数のウィンドウ等を合成して表示する場合について説明する。

ベタスクリーンの表示では、メインメモリ12にある表示データをその先頭アドレスから順番に読み出して表示するだけであったが、表示プロセッサ21に与えるプログラムによっては、メインメモリ12の任意の位置のデータを任意の数だけ取り出したものを任意の組み合わせで表示することができる。例えばウィンドウシステムの場合、複数のウィンドウの表示データをそれぞれ別のアドレスに完成された形でメインメモリ12上に格納しておき、各ウィンドウの位置とプライオリティに従って、表示する際にリアルタイムに重ね合わせて表示することができる。

ここでは第9図のメモリマップに示すように、メインメモリ12上の任意のアドレス位置に背景データ、カーソルデータ、ウィンドウ1データ、ウィンドウ2偶数データ、ウィンドウ2奇数データ等の各種表示データが完成された形で格納されているものとする。これらの表示データのうち、合成したときに表示されるデータのみを読み出してラインメモリに転送する。ウィンドウ2偶数データ、ウィンドウ2奇数データとは、NTSC信号のようなインタレース信号をメインメモリ12上に取り込むときに、フィールドごとに偶数データ、奇数データとして取り込んだ場合等のデータ構造である。ただし、カーソルの表示については後述する。

第10図は複数のウィンドウを合成表示するフローチャートである。第9図の各種データを合成したときに表示されるデータのみを読み出して1画面分表示する動作である。

ウィンドウ座標やプライオリティ等の表示データはいつ変更されるかわからない任意のデータであるため、1画面を表示するごとに、ステップB1にて表示プ

ロセッサ 21 によるメインメモリ 12 からデータメモリ 20 へのデータ転送を行う。また 1 画面を表示するために、ステップ B 2 にて画面 Y 方向の座標サイズ y_1 を取得し、ステップ B 3 にて現在表示中の水平ライン番号の次の水平ライン番号をライン番号 L として取得する。 α ブレンディングするか否かを B 4 にて判断し、 α ブレンディングしないのであれば通常ライン転送（ステップ B 5）を行い、 α ブレンディングするのであれば α ブレンディングライン転送（ステップ B 6）を行う。次にステップ B 7 にて、表示するライン番号 L と画面 Y 方向の座標サイズ y_1 を比較し、 y_1 回のループが終了していなければラインメモリへの 2 重書き込みを制御する同期用ウェイト（ステップ B 8）の処理を行い、以上の処理を y_1 回行うことにより 1 画面分の表示を行う。

第 11 図は α ブレンディングなしの通常ライン転送のフローチャートである。

第 12 A 図は α ブレンディングなしの表示画面例、第 12 B 図はライン番号 L のおけるラインメモリのメモリマップである。第 12 図のライン番号 L を次に表示されるライン番号 L として、そのライン番号上での通常ライン転送を以下に説明する。ステップ C 1 において、表示プロセッサ 21 が、 α ブレンディングなしのライン番号 L 上の各表示データどうしの境界ポイントおよびポイント数を算出する。データメモリ 20 上に各ウインドウの表示データが転送されて、右上座標、左下座標、X 方向座標サイズ、Y 方向座標サイズ、プライオリティ等から、境界ポイントやポイント数が算出される。あるいは、メイン CPU 11 によって、あらかじめ算出しておいたデータをデータメモリ 20 に転送しておき、データメモリ 20 を参照するだけで取得してもよい。

このときの境界ポイントを $xpt[]$ （ $[]$ 内は配列順を示す数を記入する）、境界ポイントの数を xpm として定義する。第 12 A 図に示すように、ライン番号 L 上の境界ポイントは $xpt[0] = xs0$, $xpt[1] = xs1$, $xpt[2] = (xe1 + 1)$, $xpt[3] = (xe2 + 1)$, $xpt[4] = (xe0 + 1)$ となり、境界ポイント数 xpm は 5 となる。ステップ C 2 にて、境界

カウンタ x_p をクリアし、ステップ C 3 にてライン L 上の左境界ポイント x_{p1} を取得し、ステップ C 4 にて左境界ポイントの最も近い右境界ポイント x_{pr} を取得する。この x_{p1} , x_{pr} 間の表示データを判別し、ステップ C 5 にてライン番号 L に相当する表示データ格納先頭アドレス $addr$ を取得する。最初は $x_{p1} = x_{pt}[0] = x_{s0}$ であり、 $x_{pr} = x_{pt}[1] = x_{s1}$ であることから、この表示データは背景データであることが判別でき、 $addr = back_addr + x_1 * L + x_{s0}$ によりライン番号 L に相当する背景データ格納先頭アドレス $addr$ が算出できる。

ステップ C 6 にてライン番号 L が偶数か奇数かを判断し、ラインメモリ $16a$ へのデータ転送（ステップ C 7）またはラインメモリ $16b$ へのデータ転送（ステップ C 8）の切り替えを行う。ラインメモリ $16a$ およびラインメモリ $16b$ へのデータ転送サイズは、表示範囲が x_{p1} , $x_{pr} - 1$ であるため、 $x_{pr} - x_{p1}$ となる。ラインメモリ $16a$ またはラインメモリ $16b$ への書き込み位置は x_{p1} であるので、ラインメモリ $16a$ またはラインメモリ $16b$ へのデータ転送は $addr$ から $(x_{s1} - x_{s0})$ のデータをラインメモリ $16a$ またはラインメモリ $16b$ の x_{s0} に転送することになる。右境界ポイント x_{pr} は次の x_{s1} , $(x_{e1} + 1)$ 間のデータを転送するときには左境界ポイント x_{p1} となるため、ステップ C 9 にて $x_{p1} = x_{pr}$ とすることで左境界ポイント x_{p1} を取得することができる。既に説明した右境界ポイント x_{pr} の取得（ステップ C 4）に移行し、これらの動作を x_{s1} , $(x_{e1} + 1)$, $(x_{e1} + 1)$, $(x_{e2} + 1)$, $(x_{e2} + 1)$, $(x_{e0} + 1)$ の境界間でも同様に行うことにより、ライン番号 L の 1 ラインのデータ転送を行うことができる。ステップ C 10 にて境界カウンタ x_p と境界ポイント数 x_{pm} の比較を行い、境界カウンタ x_p が境界ポイント数 x_{pm} と同じか大きくなることにより次ラインの処理へと移行する。

第 13 図は α プレンディングを含んだライン転送のフローチャートである。第

14図は α ブレンディングを含む表示画面例である。第14A図は α ブレンディングの表示画面例、第14B図はライン番号Lにおける通常ラインメモリと α ブレンディング用ラインメモリのメモリマップである。第14図のライン番号Lを次に表示されるライン番号Lとして、そのライン番号上での α ブレンディングライン転送を以下に説明する。ステップD1において、表示プロセッサ21は、 α ブレンディングのあるライン番号L上での各表示データどうしの境界ポイントおよびポイント数を算出する。第12図の通常表示画面例よりも境界ポイント数が1つ増えている。この境界ポイントやポイント数はデータメモリ20上に転送されて得られた各表示データの右上座標、左下座標、X方向座標サイズ、Y方向座標サイズ、プライオリティ等により算出される。あるいは、メインCPU11によってあらかじめ算出しておいたデータをデータメモリ20に転送しておき、データメモリ20を参照するだけで取得してもよい。

ライン番号L上の境界ポイントは $xpt[0] = xs0$, $xpt[1] = xs1$, $xpt[2] = xs2$, $xpt[3] = (xe1 + 1)$, $xpt[4] = (xe2 + 1)$, $xpt[5] = (xe0 + 1)$ となり境界ポイント数 xpm は6となる。 α ブレンディングのない境界は通常ライン転送と同じであるため、 α ブレンディングのある境界カウンタ xp のときについて説明する。ステップD14によって取得されるラインL上の左境界ポイント xpl は $xpl = xpr = xpt[2] = xs2$ であり、D4による右境界ポイント xpr の取得により $xpr = xpt[3] = (xe1 + 1)$ となる。この表示データのライン番号Lに相当するウィンドウ1データ格納先頭アドレス $addr$ は、 $addr = win1_addr + (xe1 - xs1 + 1) * (L - ys1) + (xs2 - xs1)$ と算出される(ステップD5)。ライン番号Lが偶数か奇数かをステップD6にて判断し、ラインメモリ16aへのデータ転送(ステップD7)またはラインメモリ16bへのデータ転送(ステップD8)の切り替えを行う。

ラインメモリ16aまたはラインメモリ16bへのデータ転送サイズは、表示

範囲が x_{p1} , $x_{pr}-1$ であるため、 $x_{pr}-x_{p1}$ となる。ラインメモリ 16 a またはラインメモリ 16 b への書き込み位置は x_{p1} であるから、ラインメモリ 16 a またはラインメモリ 16 b へのデータ転送は $addr$ から $((x_{e1}+1)-x_{s2})$ のデータをラインメモリ 16 a またはラインメモリ 16 b の x_{s2} に転送することになる。データ転送終了後、そのデータに対して α ブレンディングする別データがあるか否かをステップ D 9 にて判断する。ここではウインドウ 1 とウインドウ 2 が α ブレンディングであり、この表示データのライン番号 L に相当するウインドウ 2 偶数データ格納先頭アドレス $addr$ は、 $addr = win2e_addr + (x_{e2}-x_{s2}+1) * (L-y_{s2})$ と算出される (ステップ D 10)。

ライン番号 L が偶数か奇数かをステップ D 11 で判断してラインメモリ 16 c へのデータ転送 (ステップ D 12) またはラインメモリ 16 d へのデータ転送 (ステップ D 13) の切り替えを行う。このときのラインメモリ 16 c またはラインメモリ 16 d は α ブレンディング用ラインメモリである。ラインメモリ 16 c またはラインメモリ 16 d へのデータ転送サイズは、表示範囲が x_{p1} , $x_{pr}-1$ であるため、 $x_{pr}-x_{p1}$ となる。ラインメモリ 16 c またはラインメモリ 16 d への書き込み位置は x_{p1} であるから、ラインメモリ 16 c またはラインメモリ 16 d へのデータ転送は、 $addr$ から $((x_{e1}+1)-x_{s2})$ のデータをラインメモリ 16 c またはラインメモリ 16 d の x_{s2} に転送することになる。通常ラインメモリには α ブレンディングしないデータを、 α ブレンディング用ラインメモリには α ブレンディングするデータを別々に持つことができ、ハードウェアの α ブレンディング処理により合成表示を行うことが可能となる。以降の処理であるステップ D 14、ステップ D 15 は通常ライン転送と同様である。

カーソルの表示は上記に記載した動作手順によっても表示することができるが、上記の 1 ライン分の表示データをラインメモリに転送した後に、カーソルの座標、

カーソルX方向サイズ、カーソルY方向のサイズ、カーソルデータ格納先頭アドレス `curs__addr` 等を与えて、最後に合成表示させることによって実現できる。 α ブレンディングのデータ上に表示する場合は通常のラインメモリと α ブレンディング用のラインメモリの両方に書き込むことで、カーソルの表示が行える。この方法ではカーソルは常に最上位の優先順位となり、処理速度を早くすることができる。以上が表示プロセッサ21の基本動作の説明である。

次に表示プロセッサ21が行う他の動作について説明する。

まず表示データの拡大・縮小・スキップの処理について説明する。第4図に示したように、表示プロセッサ21は内部に転送用バッファメモリを2組持っている。メインメモリ12から読み込まれた表示データは、まず1組目の転送用バッファメモリ25a, 25bに格納され、次にもう1組の転送用バッファメモリ26a, 26bに格納されたのちに、表示用のラインメモリ16へ格納される。この転送用バッファメモリ間の読み出しおよび書き込みは、表示プロセッサ21に与えるプログラムによって細かく制御できる。

具体的には、1組目の転送用バッファメモリ25a, 25b（読み出しメモリと呼ぶ）の読み出しカウンタのスタート/ストップ、もう1組の転送用バッファメモリ26a, 26b（書き込みメモリと呼ぶ）への書き込みカウンタのスタート/ストップ及び書き込みのする/しないを画素単位で任意の位置で行うことができる。これにより表示画像の拡大、縮小や、ある位置より右側の画像が右方向にずれて画像に穴が開いたように見える表現（スキップと呼ぶ）およびそれらを混在させた表示データに変化させることができる。

拡大・縮小・スキップの動作は第15図に示すコントロールデータの動作説明図に示すように制御される。コントロールデータは1画素につき2ビットの情報を持ち、画素単位で転送用バッファメモリ25a, 25b, 26a, 26b間の読み出しカウンタおよび書き込みカウンタおよび書き込みのする/しないを制御する。第16図は拡大・縮小・スキップを行わない等倍のときの転送用バッファ

メモリ間の転送動作であり、この場合、コントロールデータとして“00”を与え続ける。すると、読み出しカウンタ・書き込みカウンタとも1ずつカウントアップされていき、読み出しメモリと同じデータが書き込みメモリに書き込まれて等倍の転送となる。

縮小を行う場合は、コントロールデータの省きたい画素に対応するデータを“01”にする。縮小動作を示す第17図において、書き込みメモリには、0、1、2、3までは順に表示データが書き込まれるが、3の位置のコントロールデータが“01”であるため、書き込みカウンタがストップし、次に3の位置に4を重ね書きする。これで表示データが1画素分だけ縮小する。コントロールデータに1画素おきに“01”を設定すれば画素の水平方向は1/2に縮小するし、部分的に“01”を設定する割合を変えれば、例えば画像が円柱形になったりする。

拡大を行う場合には、コントロールデータの対応する位置に“10”を設定する。第18図において、書き込みメモリには、0、1、2、3までは順に表示データが書き込まれるが、3の位置のコントロールデータが“10”であるため、読み出しカウンタがストップし、次に3の隣にもう一度3が書かれる。これで1画素分の拡大が行われる。

コントロールデータが“11”のときはスキップである。第19図で0、1、2まではそのまま書かれるが、3の位置のコントロールデータが“11”であるため、読み出しアドレスが停止する。このため3の表示データは右隣の画素に書かれることになる。さらに書き込みメモリへの書き込みが行われず、書き込みメモリの3の位置には何も書かれない。これで1画素分のスキップが行われる。

以上のようにコントロールデータの値を設定することにより、拡大・縮小・スキップが可能であり、また第20図～第22図のように拡大・縮小・スキップを混在して設定することにより一部は拡大するが他の一部は縮小するといったような複雑な表示データの変形が行える。

ところで拡大・縮小率が水平方向に一定であることは多いが、この場合コントロールデータは同じパターンの繰り返しとなる。本実施形態では繰り返すパターンと繰り返しポイントを設定することにより、1水平ライン分のコントロールデータを書き込むのに比べ、少ないデータで拡大・縮小等の指定をすることができる。例えば0.75倍に縮小する場合には第23図のようにコントロールデータは“00”、“00”、“00”、“01”の繰り返しとなる。この場合、この4画素分のコントロールデータと4画素単位で繰り返しが行われるように繰り返しポイントの設定をすることにより、同じコントロールデータが繰り返し使用され、縮小動作が行われる。同様に第24図は1.75倍に拡大する場合である。

次に、本実施形態ではビデオ入力を2系統持っているが、表示プロセッサ21は、これよりビデオ映像データの取り込みを行うことができる。ビデオ映像信号はA/D変換された後、ビデオ入力用ラインメモリに格納される。ビデオ入力用ラインメモリはビデオ入力1系統につき2本あり、他のラインメモリと同様に読み出しと書き込みを行うメモリを交互に切り替えて使用する。ビデオ入力用ラインメモリに書き込まれたビデオデータは、表示用プロセッサ21によって読み出され、表示プロセッサ21内で拡大・縮小・スキップ処理などを行った後、ラインメモリ16に転送される。

次にデータ処理回路13について説明する。メインメモリ12に格納されている表示データは通常のRGB形式のデータだけでなく、さまざまなデータ形式で格納されている。表示プロセッサ21によってメインメモリ12から表示データが読み出されラインメモリ16に書き込まれる間に、YUVデコーダ27a、ランレングス展開回路27b、カラー伸長回路27c、カラーパレット27d、27eの処理回路があり、そこで各種データ形式の表示データはRGB形式に変換されてラインメモリ16に格納される。どのデータ処理回路によって変換を行うかは、表示プロセッサ21が画素単位にセレクタ28に指示して選択される。カラーパレットは複数持つことができ、例えばウィンドウごとに使うパレットを変

えることができる。また、さらに他のデータ処理回路を追加することで、さまざまな表示データのフォーマットに対応することができる。

データ処理回路 13 を通過した表示データはラインメモリ 16 に書き込まれるが、表示データのうちいくつかの値を、実際には表示されないライトスルーデータとして設定することができる。メインメモリ 12 やデータバッファ 15 から表示プロセッサ 21 が表示データをラインメモリ 16 に転送する際、ライトスルーデータがあると、その画素についてはラインメモリ 16 への書き込みを行わない。これは矩形でない画像、例えばマウスカーソルなどの表示に有効である。

次に使用ライン情報を用いて画面表示を行う動作について説明する。通常、表示用のラインメモリは 2 本一組で動作する。これは表示のために読み出しを行っているラインメモリに対して、表示プロセッサ 21 が書き込みアクセスを行うことができないため、読み出しを行っているラインメモリとは別のもう一方のラインメモリに次のラインの表示データの書き込みを行う。表示するラインが変わるたびに、この読み込みと書き込みを行うラインメモリを交互に入れ替えて表示を進めていく。ところが第 5 B 図、第 5 C 図のように複数の画面を合成して表示する場合で、特に背景を表示しないときには、ラインメモリへの表示データの書き込みは、ウィンドウを表示する部分についてのみ行われ、その他の部分には前のラインの表示データが残ったままになることがある。そのため書き込み前にラインメモリのクリアが必要となり、そのための時間が必要になってくる。使用ライン情報は、このラインメモリのクリア作業を不要にするものである。

使用ライン情報は、ラインメモリ上の各画素の表示データに 1 対 1 で対応し、その表示データが何ライン目の表示で使用されるデータであることを表す情報である。表示データ 1 画素に対応する使用ライン情報は（画面の垂直方向の画素数 + 1）を表現できるビット数（画面サイズが 1280 × 1024 ならば 11 ビット）以上で、それが各ラインメモリに表示データと同じ画素数分、つまり水平画素数分だけである。

第 2 5 図は、使用ライン情報を格納する表示メモリ部 1 4 を示すブロック図である。ラインメモリ 1 6 a ~ 1 6 f にはそれぞれコンパレータ 3 1 ~ 3 6、AND 回路 3 7 ~ 4 2 が接続されている。ラインメモリ 1 6 e、1 6 f は後述する背景データを格納するメモリである。コンパレータ 3 1 ~ 3 6 は、表示ライン数と使用ライン情報を比較し、値が一致する場合は論理値 1 を出力し、不一致の場合は論理値 0 を出力する。AND 回路 3 7 ~ 4 2 は、論理値 1 が入力されると、表示データをそのまま出力し、論理値 0 が入力されると表示データを出力しない。

以下、画面表示動作について第 2 6 図をもとに説明する。第 2 6 A 図は表示画面例、第 2 6 B 図は使用ライン情報が N の場合のラインメモリのメモリマップと出力データ、第 2 6 C 図は使用ライン情報が $N + 2$ の場合のラインメモリのメモリマップと出力データ、第 2 6 D 図は使用ライン情報が $N + 4$ の場合のラインメモリのメモリマップと出力データである。第 2 6 B 図に示すように、 $(N - 1)$ ライン目の表示を行っている間、表示プロセッサ 2 1 はラインメモリに N ライン目の表示データを書き込む。 N ライン目にはウィンドウ 1 があり、ウィンドウ 1 の表示データ 6 書き込む際に同時に使用ライン情報に N を書き込む。 N ライン目を表示する際には、ラインメモリの 1 画素毎に、表示中のライン番号 N と使用ライン情報との比較を行い、それが等しい場合のみ表示データ有効とみなし、ラインメモリ中の表示データを出力する。

次に同じラインメモリに書き込みを行うのは、ラインメモリを 2 本交互に使用するため $(N + 2)$ ライン目である。第 2 6 C 図に示すように、 $(N + 2)$ ライン目には、ウィンドウ 1 とウィンドウ 2 の 2 つがあり、その表示データと使用ライン情報には $(N + 2)$ を書き込む。これを同様にして表示を行う。

次に $(N + 4)$ ライン目の書き込みを行う。 $(N + 4)$ ライン目はウィンドウ 2 についてのみであり、第 2 6 D 図に示すように、表示データと使用ライン情報に $(N + 4)$ の書き込みを行う。このとき $(N + 2)$ ライン目で書き込んだウィンドウ 1 のデータが残ったままになっており、何らかの工夫を行わない場合はこ

れが表示されてしまい、間違った表示となる。ところが本実施形態では、この古いウィンドウ 1 の部分の使用ライン情報は (N + 2) のままなので無視されて、ウィンドウ 2 のみ正しく表示される。

このようにしてすべてのラインについて表示を行うが、垂直帰線期間毎にすべてのラインメモリの使用ライン情報をクリアする必要がある。これは前の垂直表示期間の表示データが表示されるのを防ぐためである。なおクリアは、使用ライン情報として使用されていない値を書き込むことによって行う。

次に同じパターンの繰り返し表示について説明する。ウィンドウシステムの背景画面などによく見られるが、水平方向に同じパターンが繰り返し表示されることがよくある。この場合ラインメモリ 16 から読み出す読みだしアドレスを任意の範囲でループできる様にする事で、特定のパターンを繰り返し表示できる。それにより特に背景データをメインメモリ 12 に格納している場合などは、読み出して来るデータ量を削減でき、メインCPU 11 のデータバスのトラフィックを低下させることができる。この機能を使用する際には、通常のラインメモリの他に繰り返しパターンを格納する専用のラインメモリ 16 e, 16 f が 2 本一組必要である。よってラインメモリは最低で 4 本、 α ブレンディングを同時に使用する場合は最低 6 本必要になる。この特定パターンの繰り返し表示機能について以下に説明する。

第 27 図は、背景を繰り返し利用する場合の動作説明図である。N ライン目についてラインメモリの書き込みを行う場合、まず通常と同様にウィンドウデータを収納するラインメモリにウィンドウの表示データおよび使用ライン情報 N を書き込む。次に背景データを収納するラインメモリに背景の表示データと使用ライン情報 N を書き込み、さらに繰り返しポイントを設定する。繰り返しポイントの設定方法にはいくつかの方法が考えられ、専用のレジスタを設けたり、使用ライン情報や表示データに通常と区別できる値を書き込んだり、専用のラインメモリを用意するといった方法が考えられる。

表示の際には、まずウインドウデータを収納するラインメモリの使用ライン情報を表示中のライン番号と比較する。一致すればウインドウの表示データを出力し、一致しない場合は背景データを出力する。背景データは図示していないが内部の背景データ読み出しカウンタによって示される背景データが出力される。この読み出しカウンタの値が繰り返しポイントの値と一致したならば、読み出しカウンタの値がクリアされる。これにより出力される背景データは、背景データを収納するラインメモリの最初に戻り、背景データがこの範囲で繰り返して出力される。

次にデータバッファ 15 について説明する。表示データはメインメモリ 12 上に格納するのが通常であるが、カーソルなどサイズが小さくパターンが決まっている表示データはデータバッファ 15 に格納するとよい。データバッファ 15 に格納された表示データは、表示プロセッサ 21 によってラインメモリ 16 に書き込むことができる。またラインメモリ 16 ではなく表示プロセッサ 21 のプログラムメモリ 19 やデータメモリ 20 やメインメモリ 12 に転送することもできるので、カーソルの表示などに限らず汎用に使用することができる。

また、 α ブレンディングで2画面の混合比率を設定する方法にはいくつか考えられる。ひとつは混合比率を格納する専用レジスタを用意して、 α ブレンディングするときにそのレジスタより混合比率を読み出す方法がある。その場合、混合比率が変化するたびに表示プロセッサ 21 がレジスタの内容を書き換える必要がある。他には混合比率を複数格納するLUTを用意し、ラインメモリに表示データを書き込む際に、そのLUTの呼び出しアドレスと一緒に画素単位でラインメモリに書き込む方法、または直接混合比率をラインメモリに画素単位で書き込んでしまう方法などが考えられる。

産業上の利用可能性

要旨 1 の発明によれば、表示をする際に必要な部分の表示データをメインメモ

り内から取り出して使用するため、メインメモリ内の任意の位置のデータを取り出して組み合わせることが可能である。この制御はすべて表示制御部が行うので、主制御部が表示のためにスクリーン上に複数のウィンドウを同時表示する等の際のソフトウェアにおける処理負荷を低減でき、各ウィンドウの移動や切り替えを高速化できる。

要旨 2 の発明によれば、ラインメモリ上のデータを読み出す際、それがライン方向に対して繰り返すようなデータであった場合（ウィンドウシステムにおける背景等）、読み出しラインメモリアドレスを任意の位置でループできるため、冗長な処理が不要になり、処理の高速化が図れる。

要旨 3 の発明によれば、カーソルや繰り返し背景などをデータバッファメモリに収納しておけるため、決まりきったデータをメインメモリから読み出す必要が無い場合、データバスの負荷を減らし、冗長な処理が不要になり、処理の高速化が図れる。

要旨 4 の発明によれば、表示データを読み出す際に拡大縮小処理をするため、表示用データに対する拡大縮小処理を事前にする必要が無く、バスの使用効率を上げられる。また、ビデオ入力映像を表示する場合に映像サイズの変更が必要となるのが常であるが、出力段に拡大縮小処理を掛けることで拡大縮小回路がより有効に利用できる。また、この事によりビデオデータを常にフルサイズで取り込みながら、そのデータを一旦フレームメモリなどに転送することなく表示は任意のサイズに行える。

要旨 5 の発明によれば、第 1 バッファメモリからの読みだしアドレスカウンタを所定の順に停止／動作を繰り返すことにより、一定倍率の拡大・縮小が簡単な処理で行うことができ、処理の高速化ができる。

要旨 6 の発明によれば、表示制御部は、格納情報のデータ形式情報に基づいてデータ変換ができるので、表示用データを収納する形式などに制限が無い場合、データメモリ上に収納されている表示キャラクタ等をわざわざフレームバッファ

等に転送する必要が無く、処理の高速化が図れる。

要旨 7 の発明によれば、前記表示制御部に必要なプログラムとデータを格納するプログラムメモリとデータメモリとを備えるので、メインメモリから処理の度にメインメモリからデータを読み出す必要がなく、データバスの使用回数を減らし、処理の高速化を図ることができる。

要旨 8 の発明によれば、前記表示制御部は、前記プログラムメモリとデータメモリに必要な情報をメインメモリから転送させるため、画面モードあるいはグラフィック領域の変更に柔軟に対応できる。容量を越えたプログラムあるいはデータは、メインメモリから読み出せばよいので、小容量で済み、コンパクトあるいは低コストでシステムを構築できる。

要旨 9 の発明において、各ラインメモリに表示データを転送する際、そのデータを使用するライン番号を同時に、1 ドット毎に対応した使用ライン情報メモリに書込み、表示する際に表示しようとしているラインの番号と比較することによりラインメモリ上のデータが有効であるかどうかを判別することで、ラインメモリを使用する前に毎回ラインメモリの内容をクリアする必要がなくなり、処理の高速化が図れる。各ラインの表示毎にラインメモリ内のデータを消去する必要がなく、垂直帰線期間毎にすべてのラインメモリの使用ライン情報を消去するだけでよいので処理の高速化が図れる。

請 求 の 範 囲

1. 表示データが格納されているメインメモリと、
前記表示データのデータ形式を画面表示のデータ形式に変換するデータ処理回路部と、
前記データ処理回路部に変換された表示データを表示ライン単位に格納する複数のラインメモリと、
前記メインメモリから前記ラインメモリに表示データを転送格納させて、該ラインメモリから必要な表示データを読み出して画面表示させる制御を行う表示制御部と、
前記メインメモリに前記表示データを格納させ、データ形式及び格納アドレスを含む格納情報を前記表示制御部に転送する主制御部と、
を備え、
前記表示制御部は、転送元の前記メインメモリに対し前記格納情報に基づいて、画面表示させる可能性のある1ライン分の表示データのアドレスを指定して該表示データを読み出し、前記データ処理回路部にデータ変換をさせて、前記ラインメモリを選択し該表示データを格納させることを特徴とするプログラマブル表示装置。
2. 前記表示制御部は、前記ラインメモリに繰り返し利用する表示データを格納し、該繰り返し表示データを表示させる場合には、前記ラインメモリから前記繰り返し表示データのアドレスを指定して読み出し、画面表示させることを特徴とするクレーム1記載のプログラマブル表示装置。
3. 繰り返し利用する表示データを格納するデータバッファメモリを備え、
前記表示制御部は、前記データを画面表示させる場合、前記データバッファメモリから前記繰り返し表示データを読み出し、画面表示させることを特徴とするクレーム1記載のプログラマブル表示装置。

4. 前記メインメモリから読み出した表示データを格納する第1バッファメモリと、

前記第1バッファメモリから読み出した表示データを格納する第2バッファメモリと、

前記第1及び第2バッファメモリの読み出し及び書き込みアドレスをカウントするアドレスカウンタと、

を備え、

前記表示制御部は、前記アドレスカウンタに対し読み出し及び書き込みアドレスカウントをそれぞれ停止／動作の制御を行い、拡大・縮小・スキップの処理を行って、そのデータを前記ラインメモリに格納することを特徴とするクレーム1記載のプログラマブル表示装置。

5. 前記表示制御部は、第1バッファメモリからの読み出しアドレスカウンタを所定の順に停止／動作を繰り返させることを特徴とするクレーム4記載のプログラマブル表示装置。

6. 前記データ処理回路部は、各種のデータ形式を変換する複数の変換処理回路を有し、

前記表示制御部は、前記格納情報のデータ形式情報に基づいて前記変換処理回路を選択することを特徴とするクレーム1記載のプログラマブル表示装置。

7. 前記表示制御部に必要なプログラムとデータを格納するプログラムメモリとデータメモリとを備えたことを特徴とするクレーム1記載のプログラマブル表示装置。

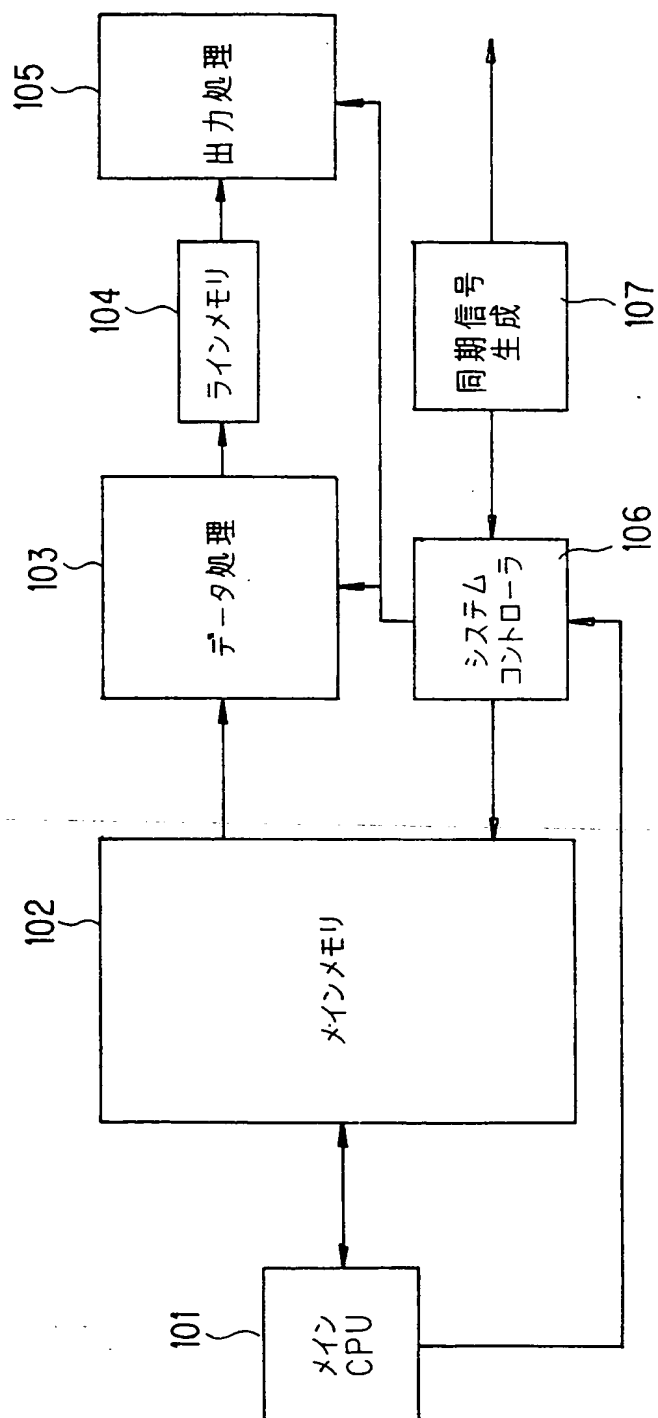
8. 前記表示制御部は、前記プログラムメモリと前記データメモリに必要な情報を前記メインメモリから転送させることを特徴とするクレーム7記載のプログラマブル表示装置。

9. 前記表示制御部は、前記ラインメモリに表示データを格納する際に何ライン目で使用するデータであるかを示すライン情報を付加し、前記ラインメモリ

から表示データを読み出す際にライン情報も同時に読み出して、該表示データを使用するラインがライン情報と同一である場合のみ画面表示させることを特徴とするクレーム 1 記載のプログラマブル表示装置。

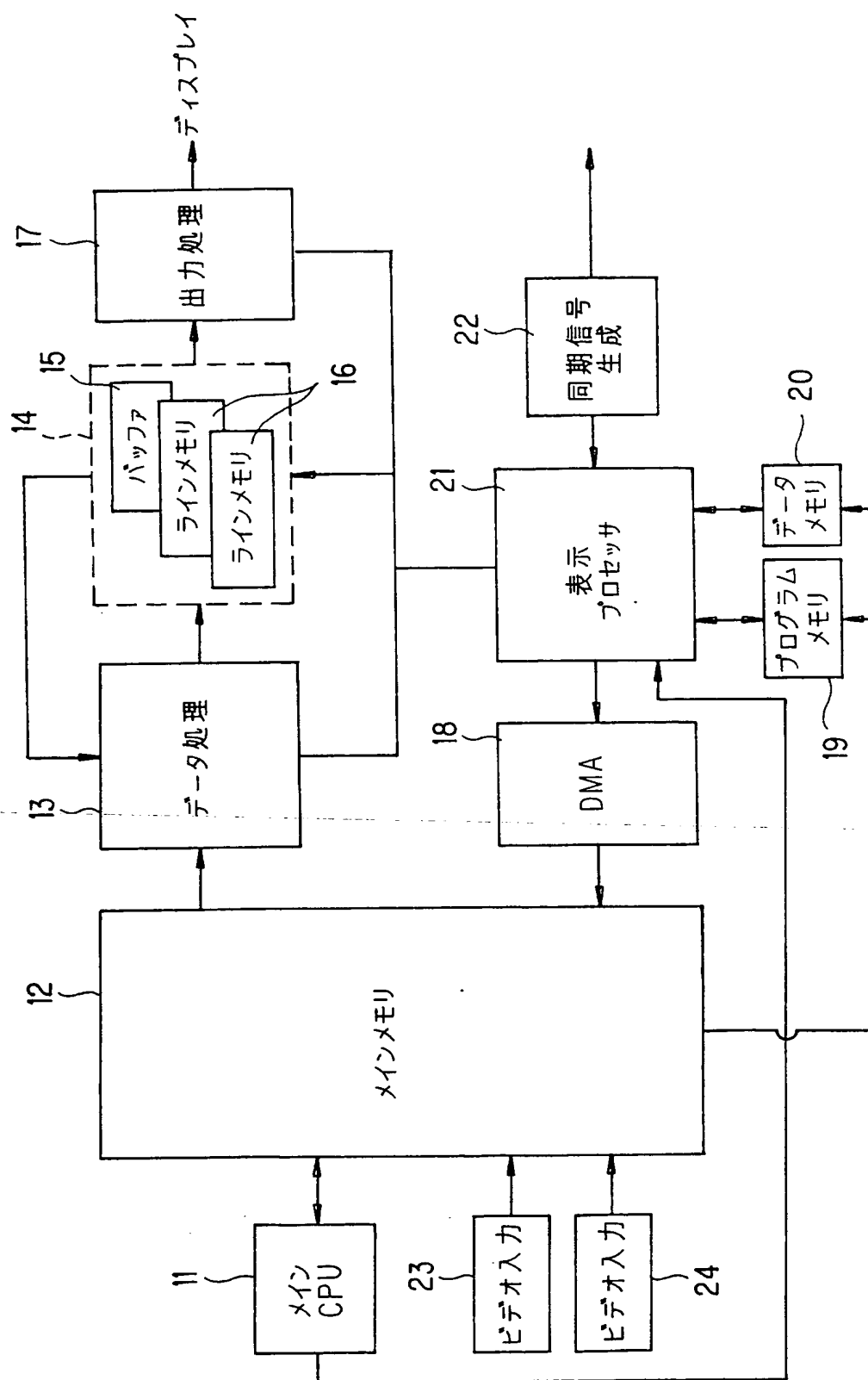


第1図



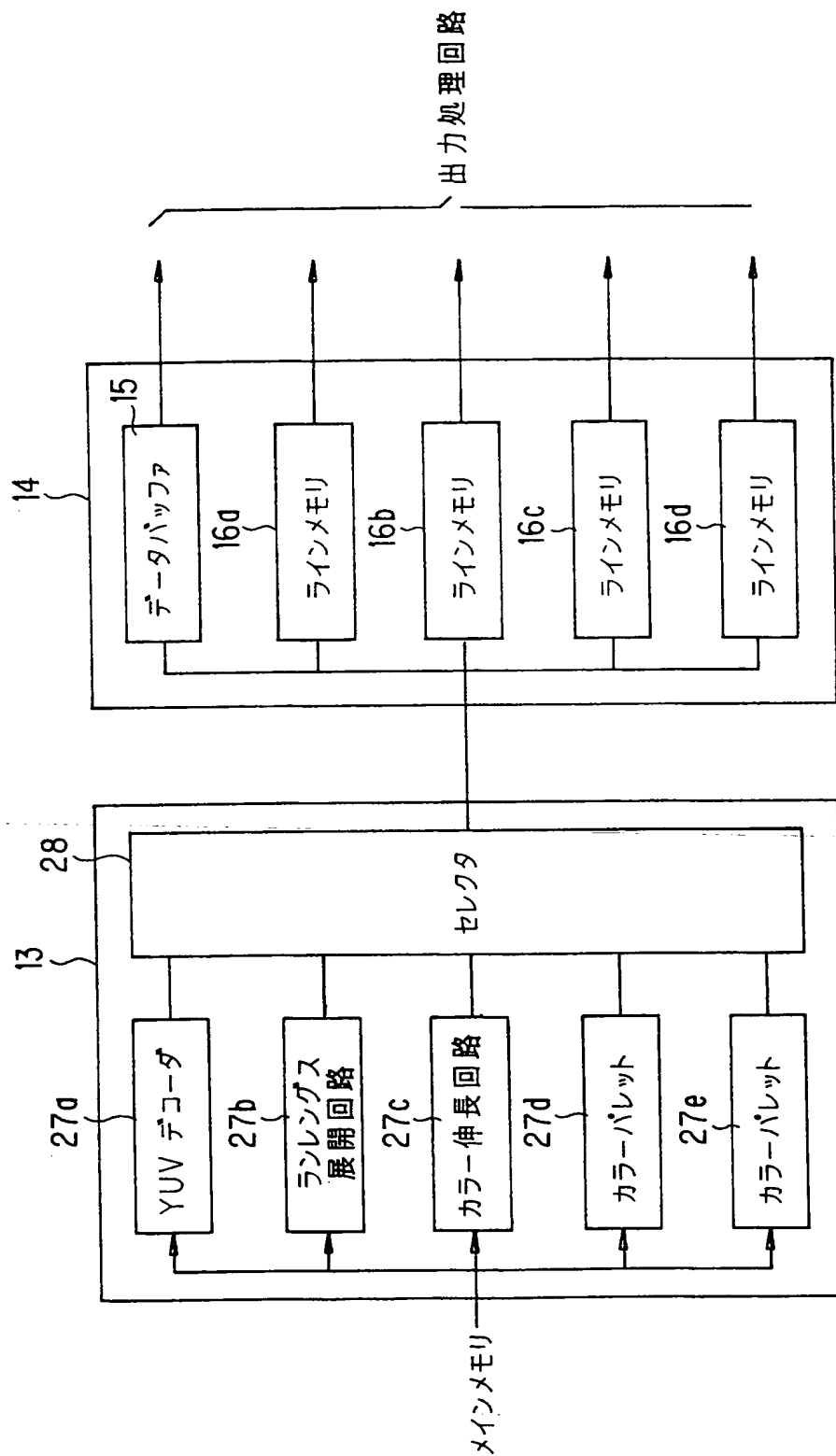


第2図



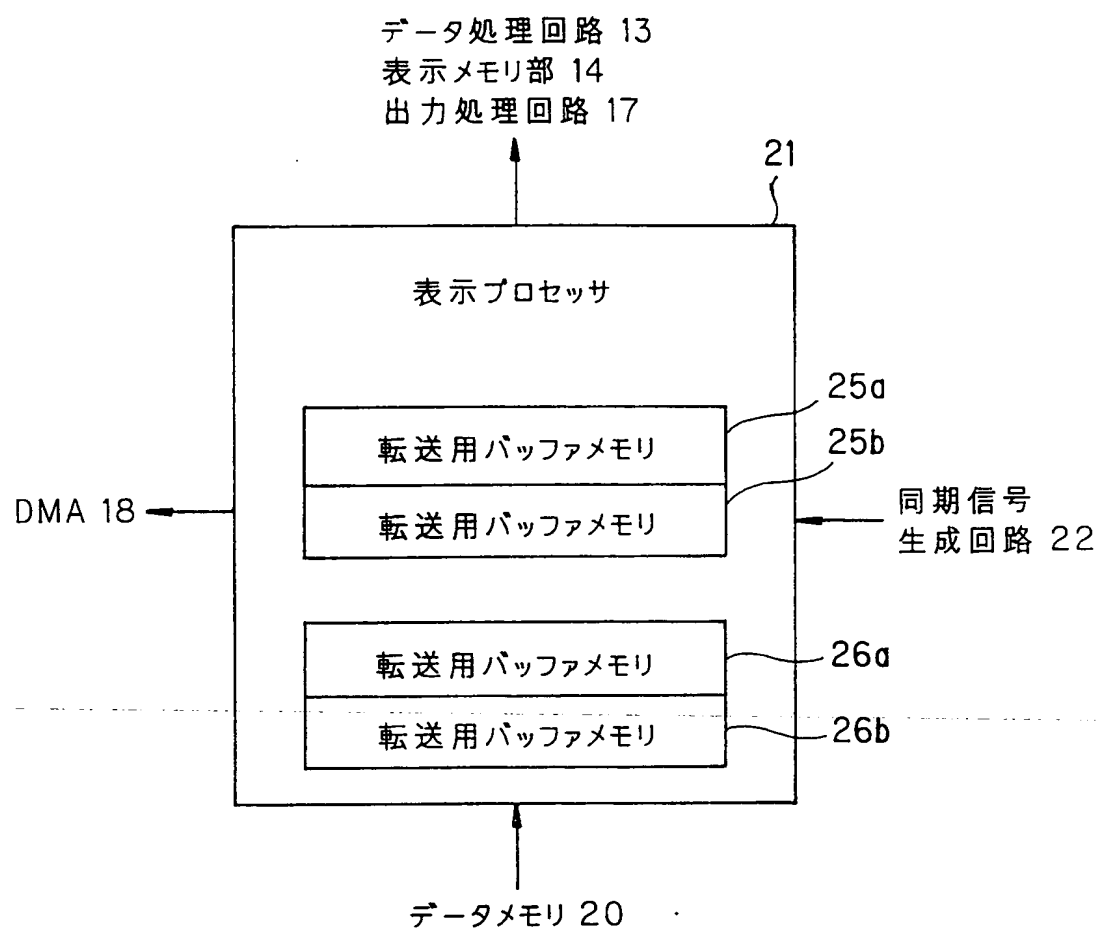


第3図



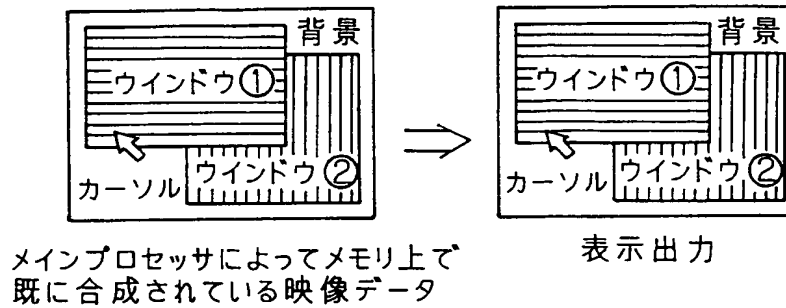


第 4 図

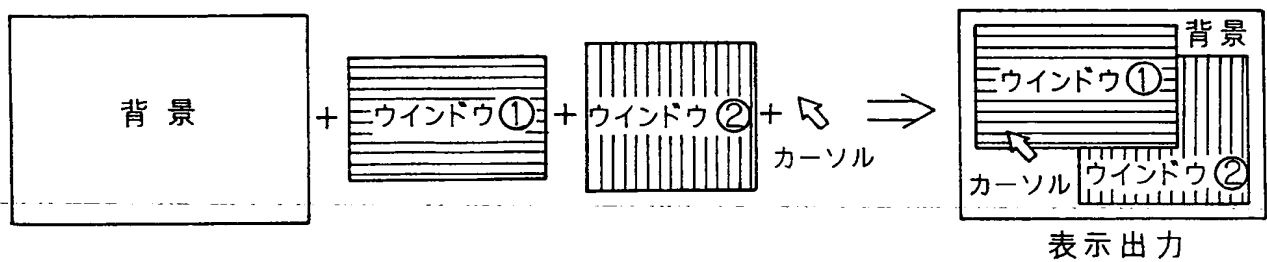




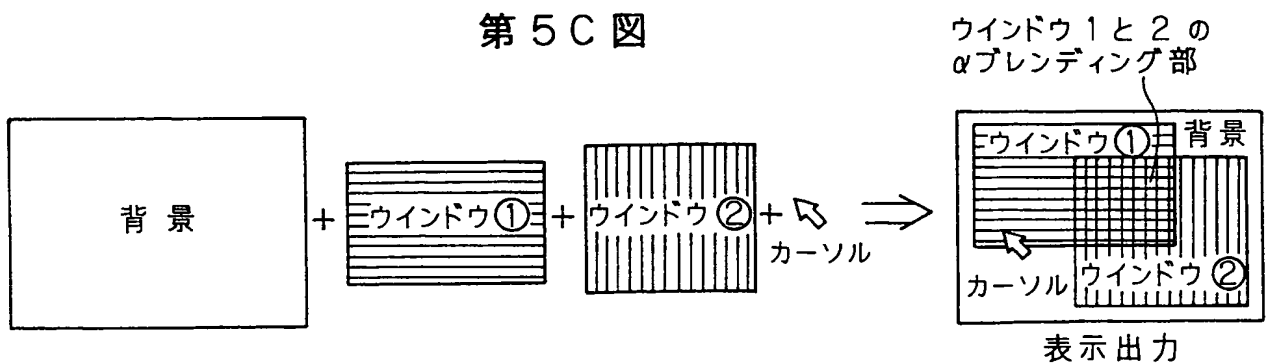
第 5 A 図



第 5 B 図

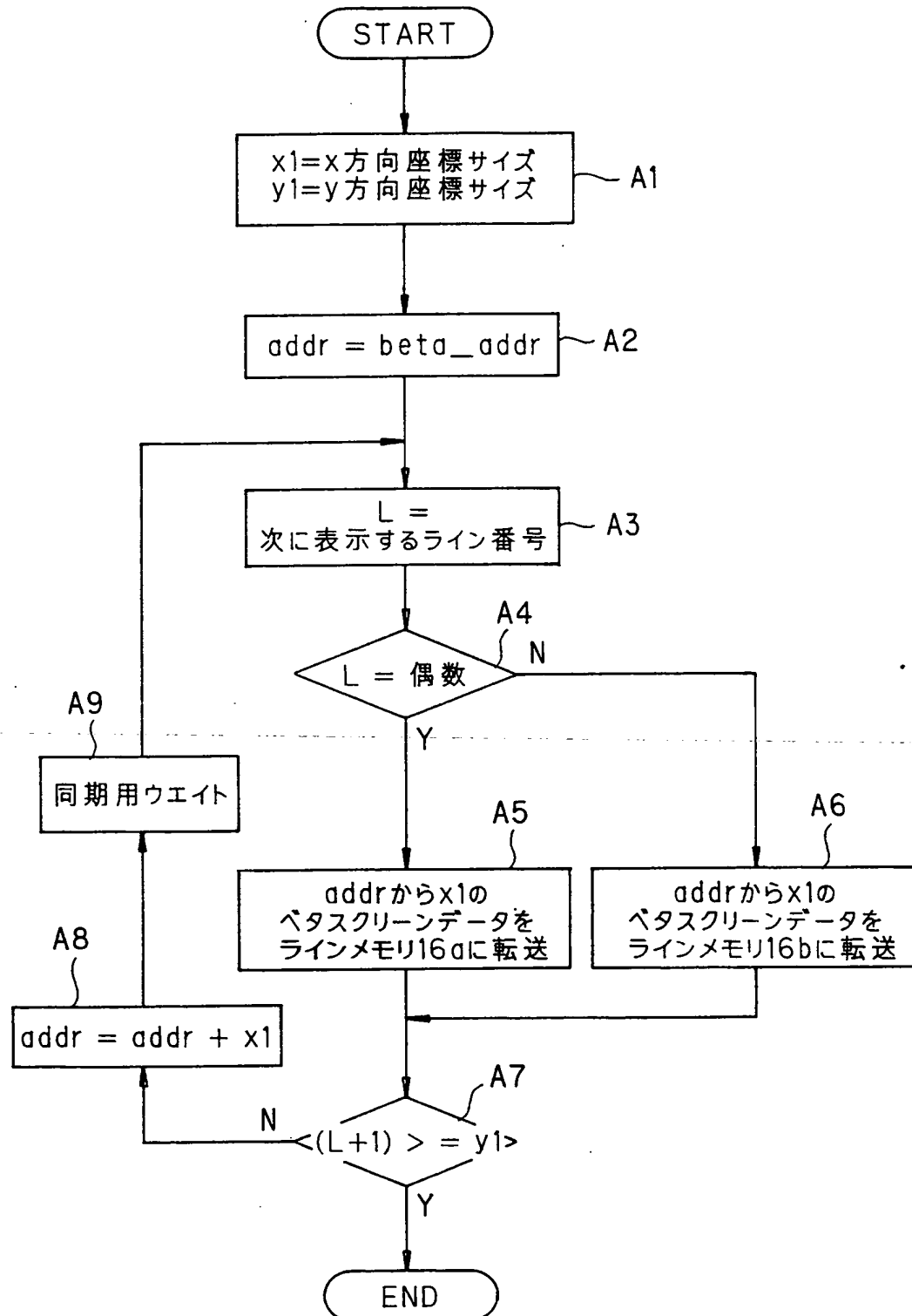


第 5 C 図



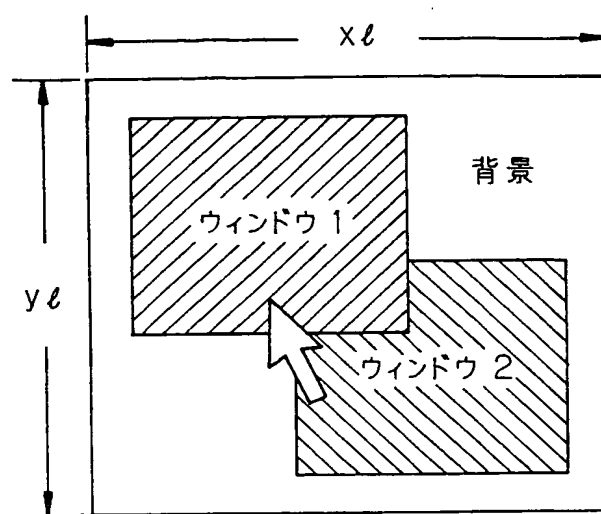


第 6 図

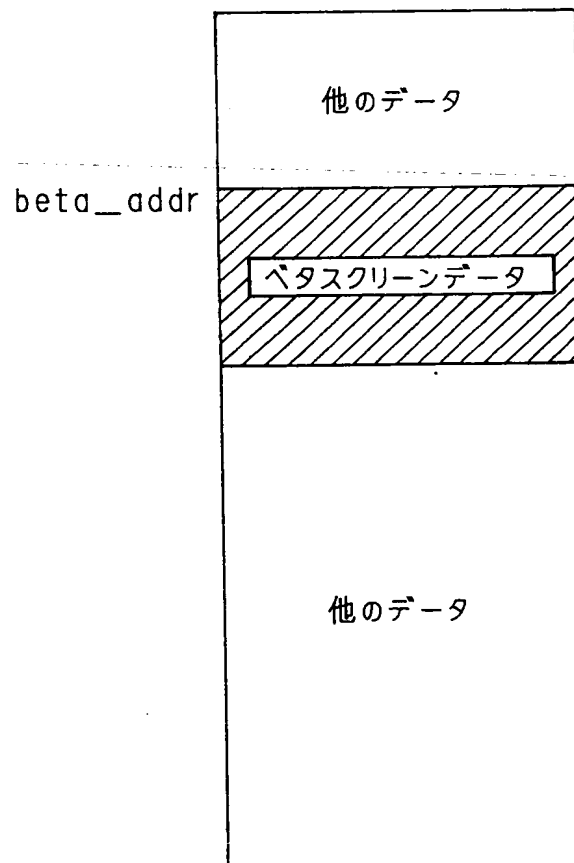




第 7 図

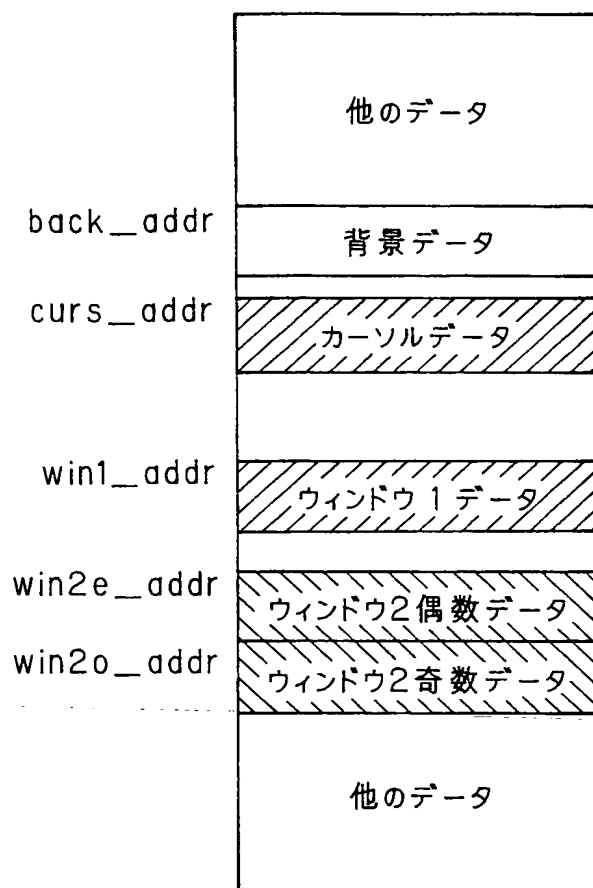


第 8 図



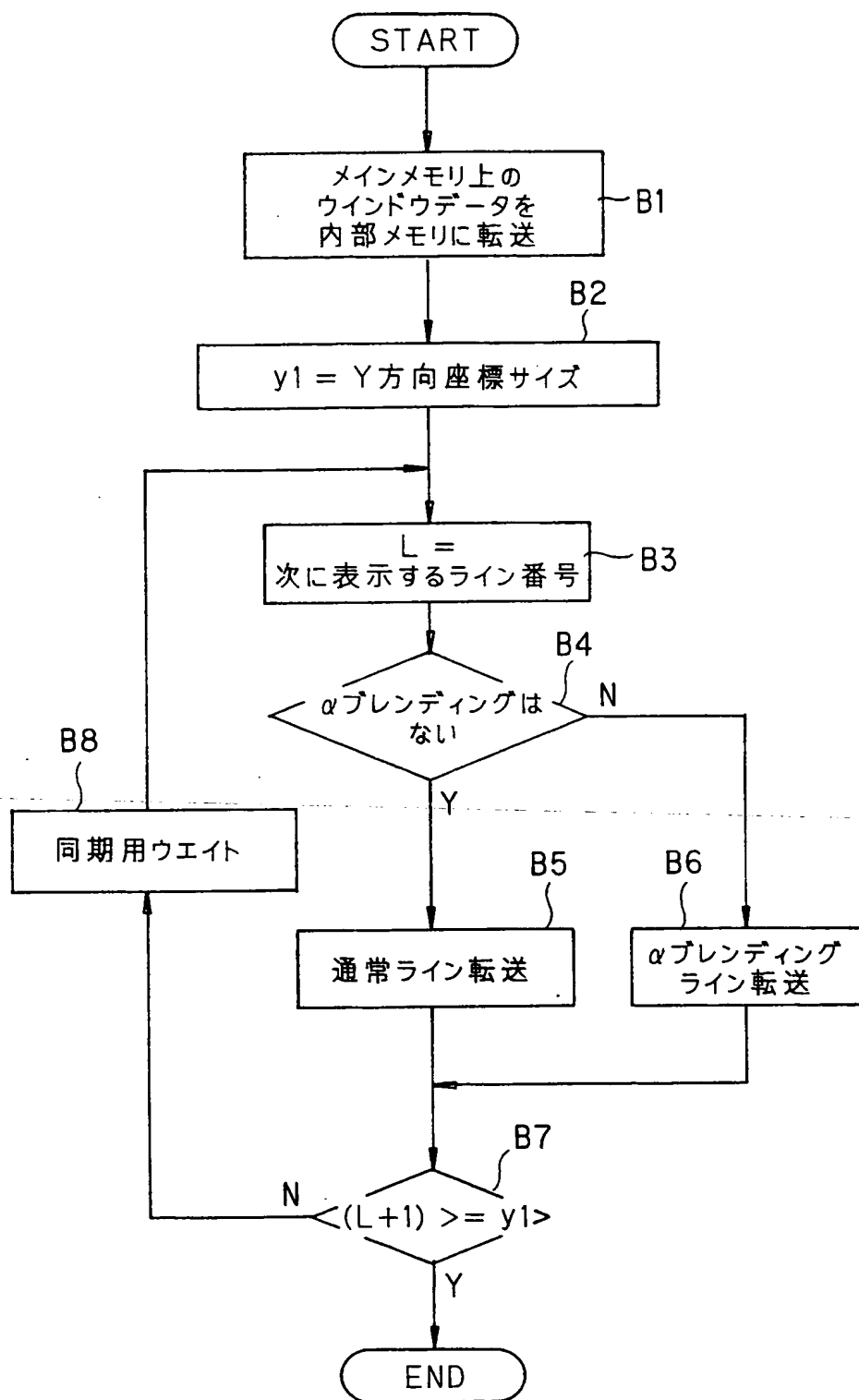


第 9 図



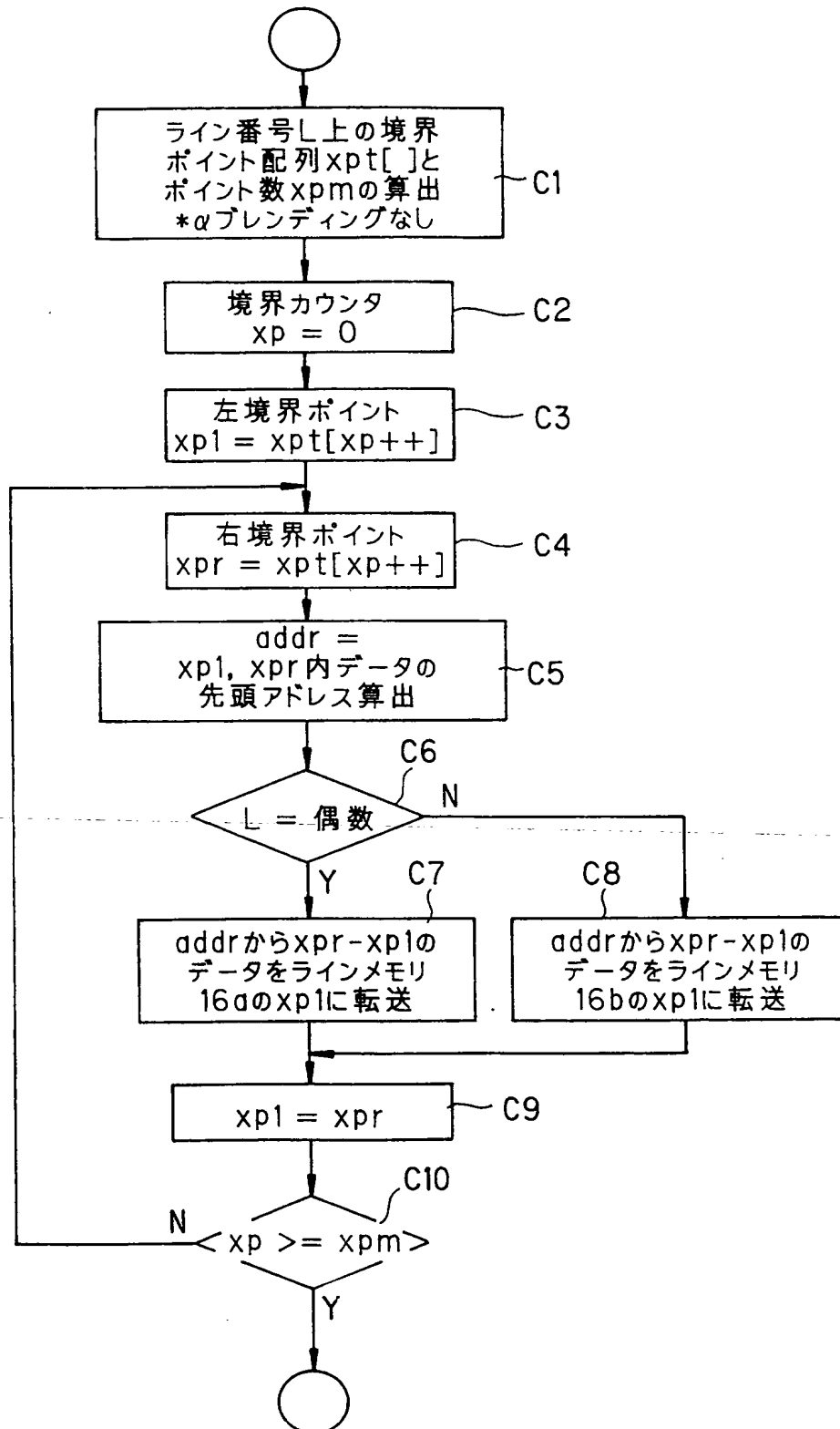


第10図



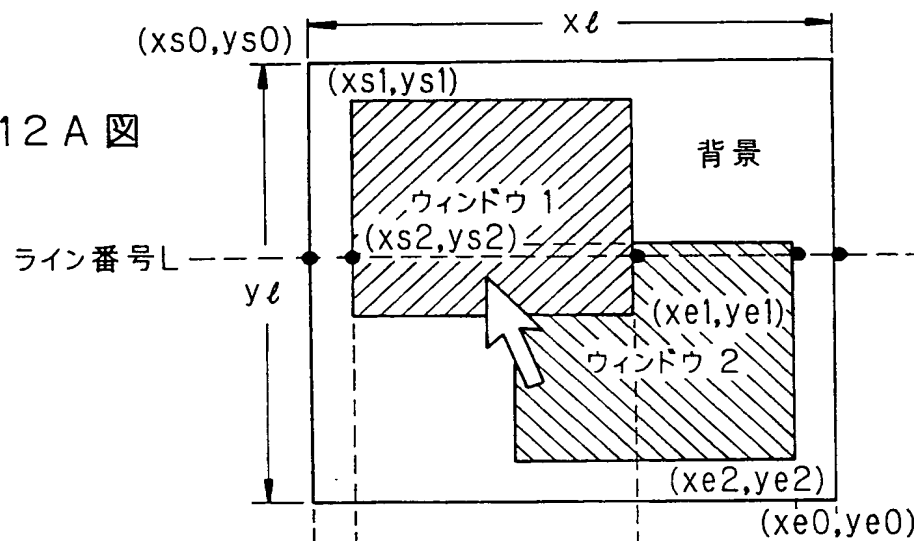


第 11 図

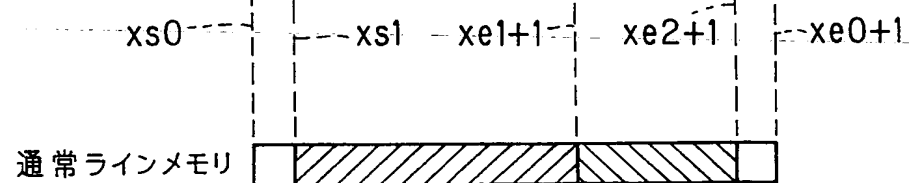




第 12 A 図

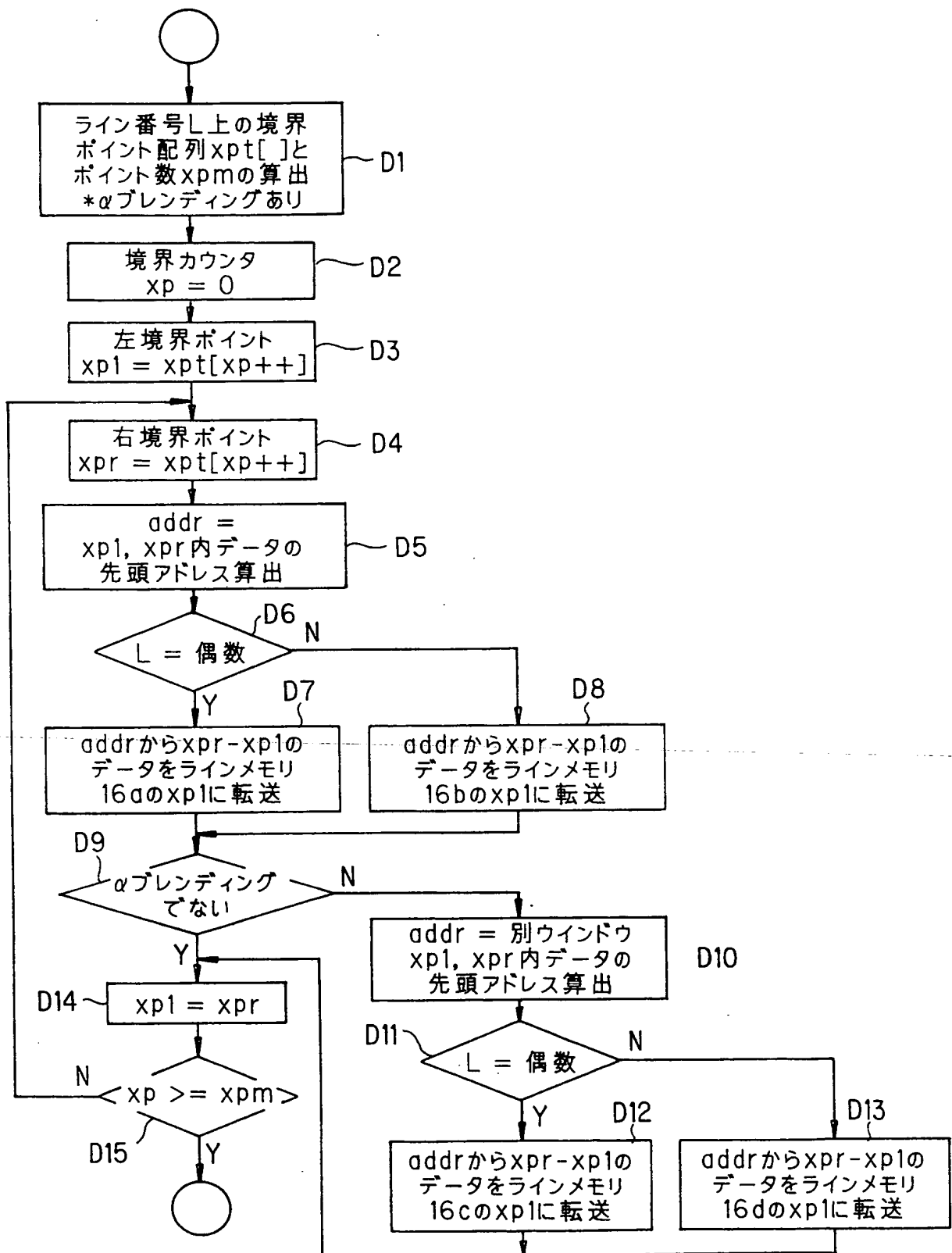


第 12 B 図

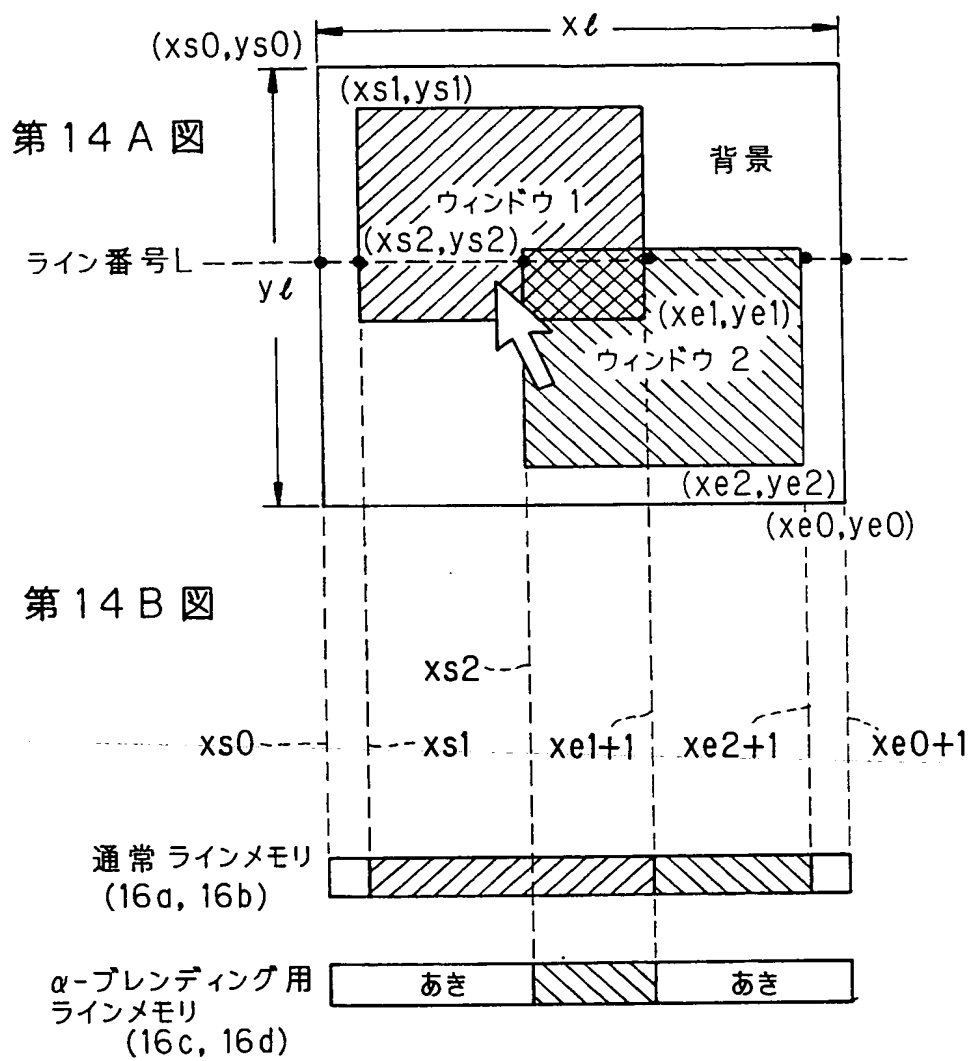




第 13 図





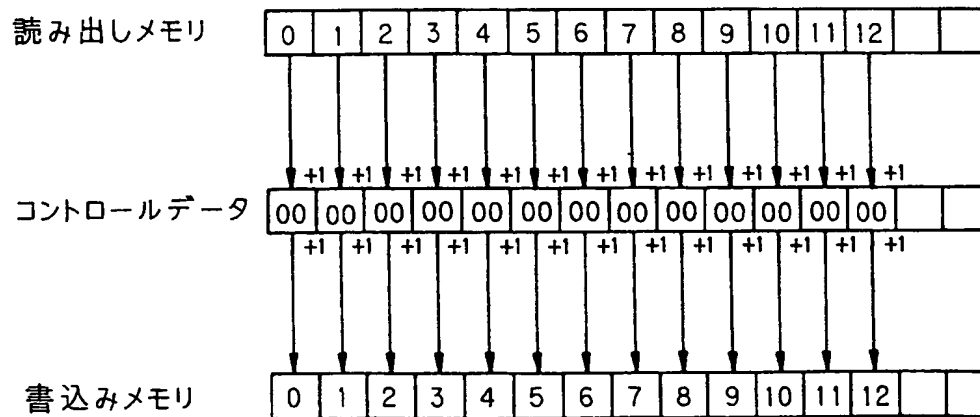




第 15 図

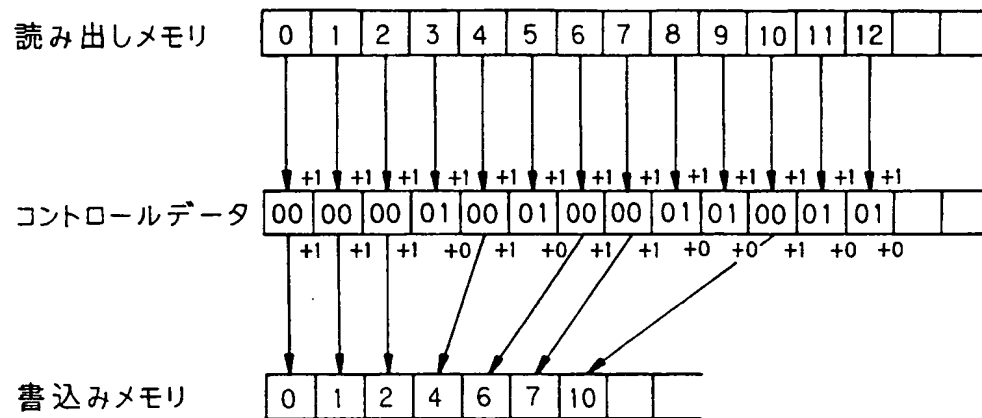
コントロール データ	動作状態	処理後の各カウンタの動作		書込み動作
		読出しカウンタ	書込みカウンタ	
0 0	ノーマル	+ 1	+ 1	する
0 1	縮小	+ 1	+ 0	しない
1 0	拡大	+ 0	+ 1	する
1 1	スキップ	+ 0	+ 1	しない

第 16 図

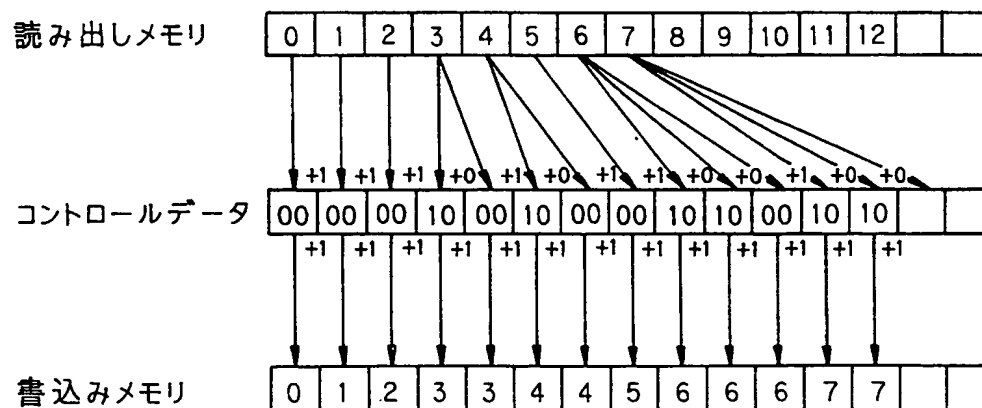




第 17 図

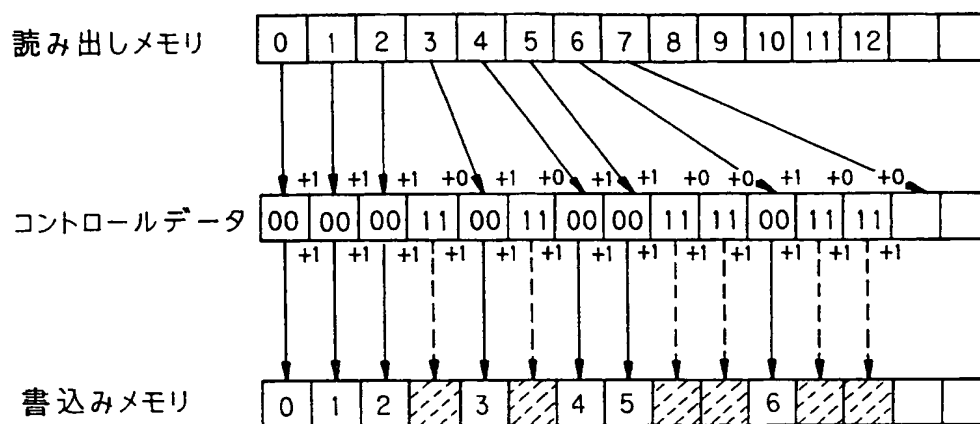


第 18 図

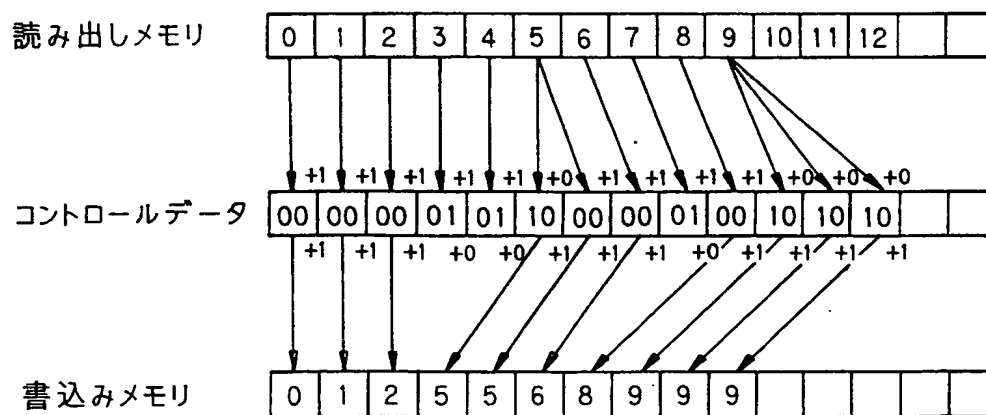




第 19 図

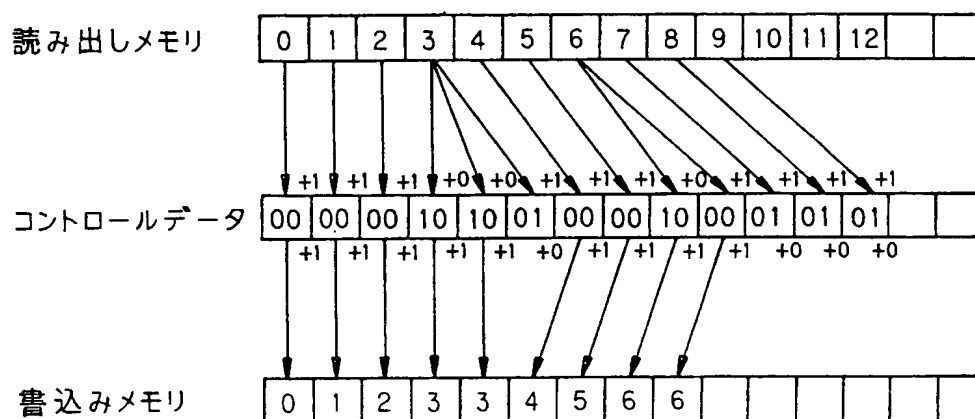


第 20 図

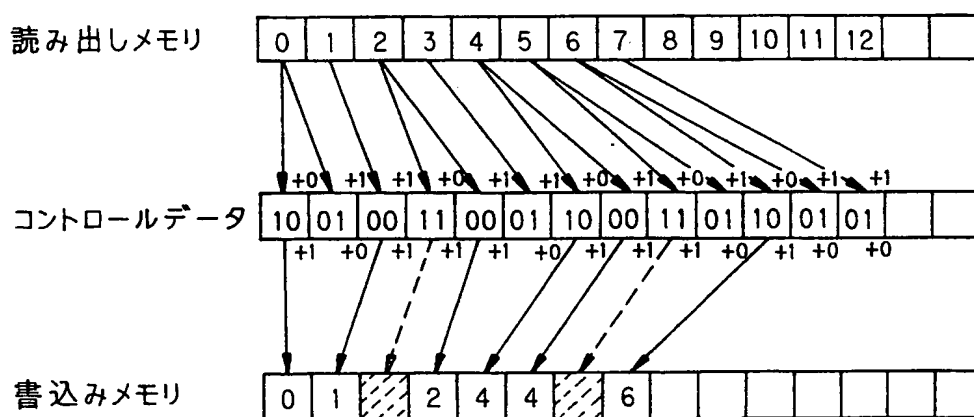




第 21 図

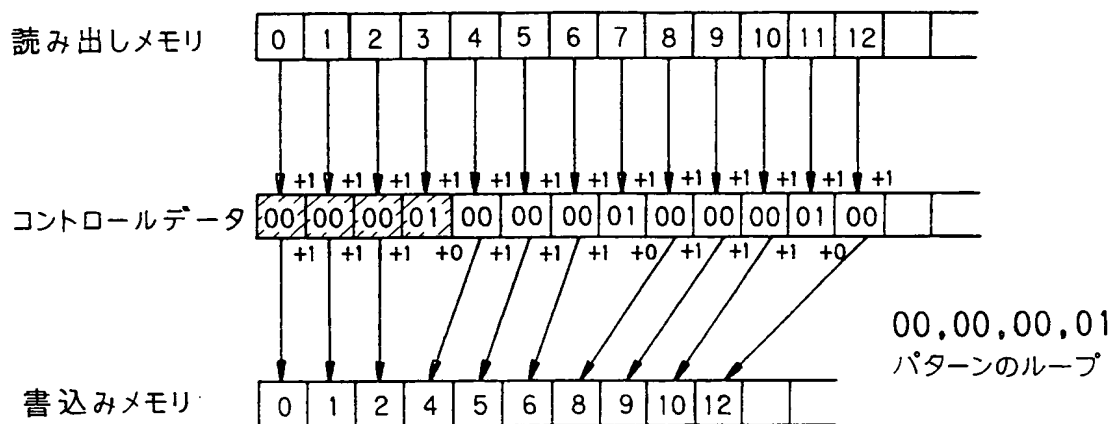


第 22 図

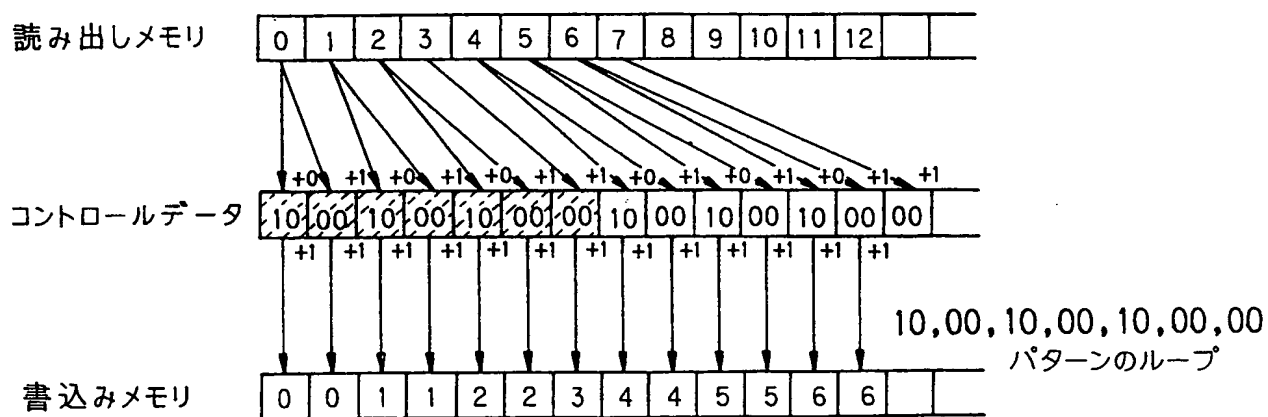




第 23 図

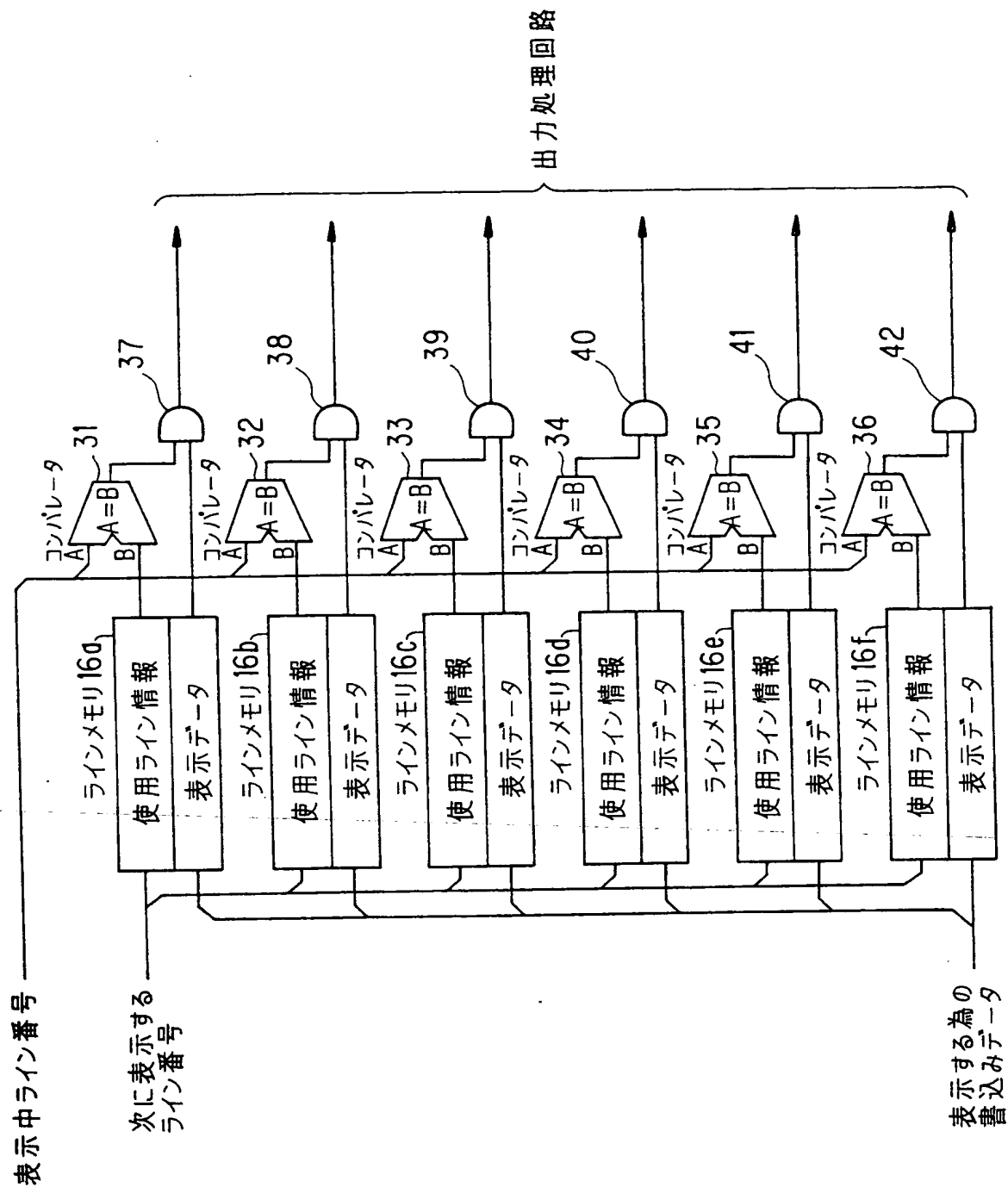


第 24 図



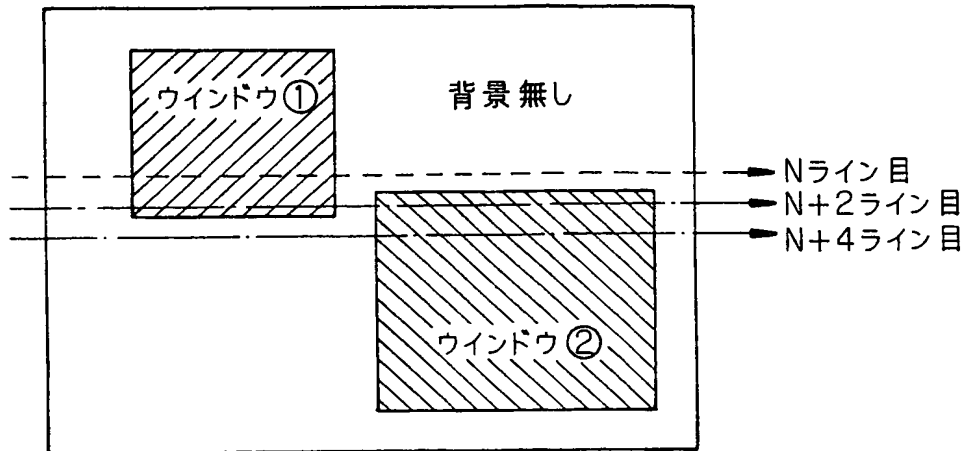


第 25 図





第 26 A 図



第 26 B 図

ライン
メモリ
16d
内データ

使用ライン情報
表示データ

0	N	0
0	ウインドウ①データ	0

使用ライン情報が(N)
のデータのみ表示データ有効

(N) ライン出力データ

0	ウインドウ①データ	0
---	-----------	---

第 26 C 図

ライン
メモリ
16d
内データ

使用ライン情報
表示データ

0	N+2	0	N+2	0
0	ウインドウ①データ	0	ウインドウ②データ	0

使用ライン情報が(N+2)
のデータのみ表示データ有効

(N+2) ライン出力データ

0	ウインドウ①データ	0	ウインドウ②データ	0
---	-----------	---	-----------	---

第 26 D 図

ライン
メモリ
16d
内データ

使用ライン情報
表示データ

0	N+2	0	N+4	0
0	ウインドウ①データ	0	ウインドウ②データ	0

使用ライン情報が(N+4)
のデータのみ表示データ有効

(N+4) ライン出力データ

0	ウインドウ②データ	0
---	-----------	---



4

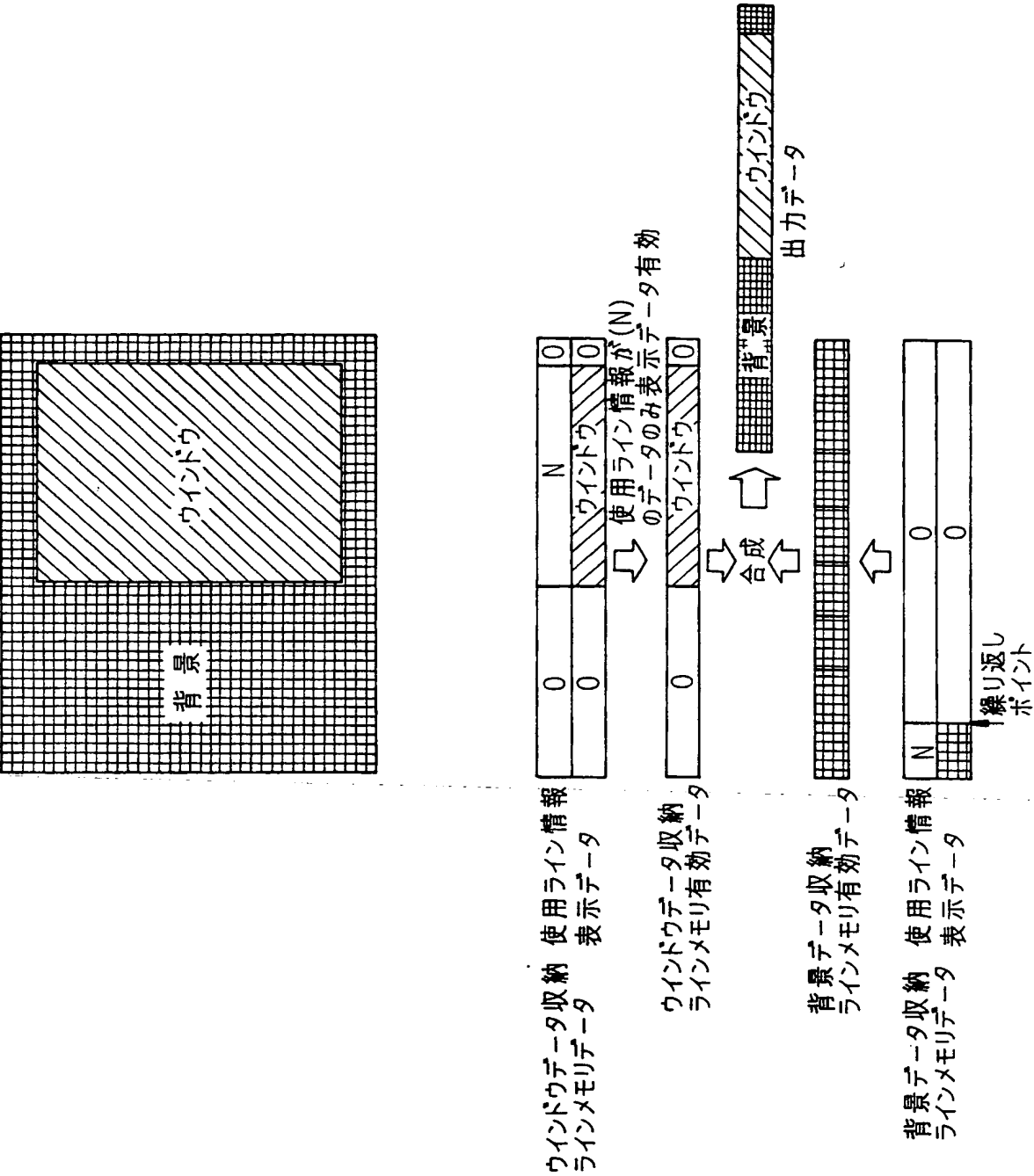
5

6

7

8

第 27 図





1

2

3

4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/00233

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ G09G5/00, G09G5/36, G06F3/153

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ G09G5/00, G09G5/36, G06F3/153

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, A, 59-128590 (Namco Ltd.), July 24, 1984 (24. 07. 84), Page 7, upper right column, line 6 to page 8, upper left column, line 10 ; Fig. 12 (Family: none)	1
Y	JP, A, 7-36430 (NEC Shizuoka, Ltd.), February 7, 1995 (07. 02. 95), Page 2, right column, line 36 to page 3, line 22 ; Fig. 1 (Family: none)	1, 6
Y	JP, 6-266834 (Japan Radio Co., Ltd.), September 22, 1994 (22. 09. 94), Page 8, left column, line 18 to page 11, left column, line 15 ; Fig. 1 (Family: none)	4, 5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
April 8, 1998 (08. 04. 98)

Date of mailing of the international search report
April 21, 1998 (21. 04. 98)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/00233

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, A, 1-274232 (NEC Corp.), November 2, 1989 (02. 11. 89), Page 2, upper right column, line 15 to lower left column, line 5 ; Fig. 1 & EP, A2, 354768 & US, A, 4966486 & AT, E, 111822 & DE, C0, 68918374 & ES, T3, 2059771	7, 8
A	JP, A, 6-19452 (Matsushita Electric Industrial Co., Ltd.), January 28, 1994 (28. 01. 94), Page 3, left column, lines 20 to 26 ; Fig. 1 (Family: none)	

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁶ G 0 9 G 5 / 0 0、G 0 9 G 5 / 3 6、G 0 6 F 3 / 1 5 3

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁶ G 0 9 G 5 / 0 0、G 0 9 G 5 / 3 6、G 0 6 F 3 / 1 5 3

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, A, 5 9 - 1 2 8 5 9 0 (株式会社ナムコ), 2 4. 7 月. 1 9 8 4 (2 4. 7. 8 4), 第 7 頁右上欄第 6 行目 - 第 8 頁左上 位欄第 1 0 行目及び第 1 2 図 (ファミリーなし)	1
Y	J P, A, 7 - 3 6 4 3 0 (静岡日本電気株式会社), 7. 2 月. 1 9 9 5 (7. 2. 9 5), 第 2 頁右欄第 3 6 行目 - 第 3 頁第 2 2 行目及び第 1 図 (ファミリーなし)	1、6
Y	J P, 6 - 2 6 6 8 3 4 (日本無線株式会社), 2 2. 9 月. 1 9 9 4 (2 2. 9. 9 4), 第 8 頁左欄第 1 8 行目 - 第 1 1 頁左欄第 1 5 行目及び第 1 図 (ファミリーなし)	4、5
Y	J P, A, 1 - 2 7 4 2 3 2 (日本電気株式会社), 2. 1 1 月. 1 9 8 9 (2. 1 1. 8 9), 第 2 頁右上欄第 1 5 行目 - 左下欄第 5 行目及び第 1 図 & E P, A 2, 3 5 4 7 6 8 & U S, A, 4 9 6	7、8

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

0 8. 0 4. 9 8

国際調査報告の発送日

21.04.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

大野 弘

印

5 H

9 1 7 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 3 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	6486&AT, E, 111822&DE, C0, 6891837 4&ES, T3, 2059771 JP, A, 6-19452 (松下電器産業株式会社), 28. 1 月. 1994 (28. 1. 94), 第3頁左欄第20行目-第26 行目及び第1図 (ファミリーなし)	